

# PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2003-066918  
(43)Date of publication of application : 05.03.2003

(51)Int.Cl. G09G 3/36  
G02F 1/133  
G09G 3/20  
G09G 3/34

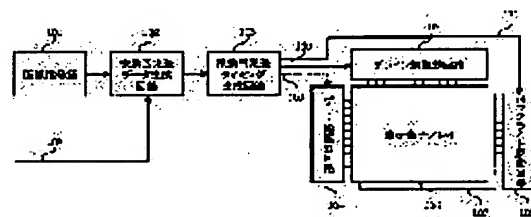
(21)Application number : 2001-257128 (71)Applicant : HITACHI LTD  
(22)Date of filing : 28.08.2001 (72)Inventor : KAWABE KAZUYOSHI  
HIRAKATA JUNICHI

## (54) DISPLAY DEVICE

### (57)Abstract:

**PROBLEM TO BE SOLVED:** To provide a display device capable of suppressing picture quality degradation caused by blurring of moving picture, etc., while suppressing the increase in scale and complexity of structure.

**SOLUTION:** The display device is provided with a display element array 106 in which a drain line and a gate line are formed in matrix, a drain driver 105 which supplies the display element with a gradation voltage corresponding to a picture, a gate driver 104 which scans the line of display element for supplying the gradation voltage, a data control circuit 102 which inserts a blanking data into the picture data of one-frame period of the picture, and a timing control circuit 103 which generates a clock for scanning the line of display element so that both the picture data and the blanking data are displayed at arbitrary display element in the single frame period.



## LEGAL STATUS

[Date of request for examination]  
[Date of sending the examiner's decision of rejection]  
[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]  
[Date of final disposal for application]  
[Patent number]  
[Date of registration]  
[Number of appeal against examiner's decision of rejection]  
[Date of requesting appeal against examiner's decision of rejection]  
[Date of extinction of right]

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開2003-66918

(P2003-66918A)

(43) 公開日 平成15年3月5日 (2003.3.5)

(51) Int.Cl. <sup>7</sup>	識別記号	F I	テ-マ-ト* (参考)
G 0 9 G 3/36		G 0 9 G 3/36	2 H 0 9 3
G 0 2 F 1/133	5 5 0	G 0 2 F 1/133	5 5 0 5 C 0 0 6
	5 7 5		5 7 5 5 C 0 8 0
G 0 9 G 3/20	6 2 2	G 0 9 G 3/20	6 2 2 P
	6 6 0		6 6 0 C

審査請求 未請求 請求項の数15 O L (全 31 頁) 最終頁に続く

(21) 出願番号 特願2001-257128 (P2001-257128)

(22) 出願日 平成13年8月28日 (2001.8.28)

(71) 出願人 000005108

株式会社日立製作所

東京都千代田区神田駿河台四丁目6番地

(72) 発明者 川辺 和佳

神奈川県川崎市麻生区王禅寺1099番地 株

式会社日立製作所システム開発研究所内

(72) 発明者 平方 純一

千葉県茂原市早野3300番地 株式会社日立

製作所ディスプレイグループ内

(74) 代理人 100075096

弁理士 作田 康夫

最終頁に続く

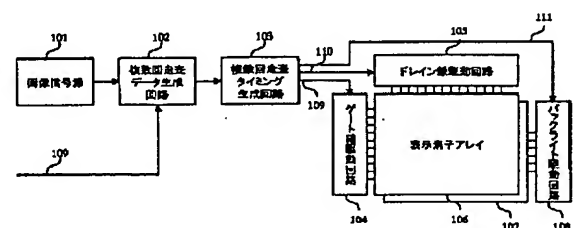
(54) 【発明の名称】 表示装置

(57) 【要約】

【課題】本発明は、構造の大型化・複雑化を抑制しつつ、動画ばやけ等に起因する画質劣化を抑制することが可能な表示装置を提供することを目的とする。

【解決手段】本発明は、ドレイン線とゲート線がマトリクス状に形成された表示素子アレイ106と、画像に応じた階調電圧を前記表示素子へ供給するドレインドライバ105と、前記階調電圧を供給するための前記表示素子のラインを走査するゲートドライバ104と、前記画像の1フレーム期間分の画像データにブランキングデータを挿入するデータ制御回路102と、任意の前記表示素子に前記1フレーム期間内に前記画像データと前記ブランキングデータとが表示されるように、前記表示素子のラインを走査するためのクロックを生成するタイミング制御回路103とを備える。

図1



## 【特許請求の範囲】

【請求項1】マトリクス状に配置された複数の表示素子を有する表示パネルと、映像データに応じた階調電圧を前記表示素子へ供給するドレインドライバと、前記階調電圧を供給するための前記表示素子のラインを走査するゲートドライバとを備えた表示装置において、前記映像の1フレーム期間分の映像データにブランキングデータを挿入するデータ制御回路と、任意の前記表示素子に前記1フレーム期間内に前記映像データと前記ブランキングデータとが表示されるように、前記表示素子のラインを走査するためのクロックを生成するタイミング制御回路とを備えた表示装置。

【請求項2】前記1フレーム期間分の映像データは、インターレースのフィールドデータである請求項1に記載の表示装置。

【請求項3】前記データ制御回路は、前記1フレーム期間分の映像データのサイズをスケーリングし、スケーリングされた前記映像データに前記ブランキングデータを挿入する請求項1に記載の表示装置。

【請求項4】前記データ制御回路は、前記1フレーム期間分の映像データの垂直解像度を縮小し、縮小された前記映像データに相当する前記ブランキングデータを前記映像データに挿入する請求項1に記載の表示装置。

【請求項5】前記データ制御回路は、前記1フレーム期間分の映像データのサイズをスケーリングし、スケーリングされた前記映像データの垂直解像度を縮小し、縮小された前記映像データに相当する前記ブランキングデータを前記スケーリングされた映像データに挿入する請求項1に記載の表示装置。

【請求項6】前記データ制御回路は、前記1フレーム期間分の映像データに、映像表示に有効なデータを付加する請求項1に記載の表示装置。

【請求項7】前記データ制御回路は、映像データに異なる複数のブランキングデータ挿入方法を有し、前記複数の異なる挿入方法を切り替え可能な切り替え手段を有する請求項1に記載の表示装置。

【請求項8】前記タイミング制御回路は、前記ドレインドライバに供給する階調電圧群を異なる複数の系統で有し、前記異なる複数の系統の階調電圧を選択可能な選択手段を有する請求項1に記載の表示装置。

【請求項9】前記ゲートドライバは、複数のライン毎に前記表示素子アレイのラインを走査する請求項1～8の何れかに記載の表示装置。

【請求項10】前記ブランキングデータの階調は、黒である請求項1に記載の表示装置。

【請求項11】前記表示パネルを照らす光源と、前記ブランキングデータの表示タイミングに応じて、前記表示パネルが前記光源から受ける光量と前記光源の点灯時間と前記光源の消灯時間との少なくとも1つを制御する光源制御回路を備えた請求項1に記載の表示装置。

【請求項12】前記光源は、個別に制御可能な複数の光源を有する請求項11に記載の表示装置。

【請求項13】前記ゲートドライバは、1フレーム期間に、複数のゲート選択パルスを出力し、前記複数のゲート選択パルスのうち、映像データを書き込む第1のゲート選択パルスと、ブランキングデータを書き込む第2のゲート選択パルスを出力する請求項1記載の表示装置。

【請求項14】前記ゲートドライバは、1フレーム期間に、複数のゲート選択パルスを出力する出力端子と、単一回ゲート選択パルスを出力する出力端子とを有することを特徴とする請求項1記載の表示装置。

【請求項15】前記ドレインドライバはブランキングデータを生成する請求項1記載の表示装置。

## 【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、ブランキング処理を行う表示装置に係り、特に、アモルファスシリコン液晶又はポリシリコン液晶又は発光ダイオード又は有機EL等の表示素子を有する表示装置に関する。

【0002】

【従来の技術】従来の技術として、特開平11-109921号公報には、一つの液晶表示パネルを上下2つの画素アレイに分割し、その分割された画素アレイのそれぞれにデータ線駆動回路を設け、上下の画素アレイの各々に1本ずつ、上下併せて計2本のゲート線を選択し、上下2分割した表示領域をそれぞれの駆動回路でデュアルスキャンしながら、1フレーム期間内に上下位相をずらしてブランキング画像（黒画像）を挿入することが開示されている。つまり、1フレーム期間が映像表示期間とブランキング期間の状態を取ることとなり、映像ホールド期間を短縮することができる。そのため液晶ディスプレイで、ブラウン管ライクな動画表示性能を得ることができる。

【0003】

【発明が解決しようとする課題】しかし、前述の従来の技術は、液晶表示パネルを上下に分割し、それぞれにデータ線駆動回路を設けた構成となっているため、部品コスト及び製造コストが増加すると共に、構造が大型化・複雑化する。大画面、高精細化に伴うコストも通常のパネルより増大することは言うまでもない。また、前述の従来の技術に示した液晶表示パネルは、動画表示特性は飛躍的に向上するが、パーソナルコンピュータ等のデスクトップ映像に代表される静止画においては通常の液晶表示パネルと変わらない。つまり、ノート型パーソナルコンピュータ等のモニター用途として広く普及している液晶パネルとしてはオーバースペックとなり、マルチメディア用途の高級品種と限定されてしまう。そのため、多品種量産化により、量産効率が低下してしまう。

【0004】本発明は、構造の大型化・複雑化を抑制しつつ、動画ばやけ等に起因する画質劣化を抑制すること

が可能な表示装置を提供することを目的とする。

【0005】

【課題を解決するための手段】本発明は、1フレーム期間分の映像データにブランキングデータを挿入し、任意の表示素子に1フレーム期間内に映像データとブランキングデータとが表示されるように、表示素子のラインを走査する。好ましくは、隣接するnラインを同時に選択しデータに応じた階調電圧を印加し、次に、そのnラインを飛ばし、次の隣接するnラインを同時に選択しデータに応じた階調電圧を印加する。但し、nは、2、3、4、5・・・(2以上の自然数)である。

【0006】

【発明の実施の形態】以下、本発明の第1の実施の形態を説明する。

【0007】図1は本実施の形態において説明する液晶表示装置のシステムブロック図である。101はパーソナルコンピュータやテレビなどの画像信号を生成及び再生する画像信号源、102は画像信号源101からの異なるフォーマットの映像を受信可能なインターフェースを有し、その映像信号を元に複数回画面走査するデータを生成する複数回走査データ生成回路、103は複数回画面走査するためのタイミングを生成する複数回走査タイミング生成回路である。また106は、ゲート線及びドレイン線をマトリクス状に配線し、その交差部に薄膜トランジスタ(TFT)を配置した液晶表示素子アレイで、104は前記ゲート線を駆動するゲート線駆動回路、また105は、前記ドレイン線を駆動するドレイン線駆動回路であり、ゲート線駆動回路104はゲート線制御バス109を介して、ドレイン線駆動回路105はドレイン線制御バス110を介して制御される。107は液晶表示素子の背面に設置されたバックライトで、108は前記バックライトを駆動するバックライト駆動回路であり、バックライト制御バス111によって点灯制御される。

【0008】表示素子アレイ106は、例えば図2に示すようにゲート線G1～Gmとドレイン線D1～Dnを有するm×nのマトリクス構造となっている。図中207は表示素子が構成する画素であり、ゲート線201とドレイン線203の交差部にTFT204が設けられ、保持容量205はTFTのソースと共通信号線202の間に形成した(Cstg型)の構造を成している。また206は液晶とそれを挟持する電極とから構成された容量であり、有機EL等の自発行型の表示素子の場合には、この部分がダイオード素子として置換された等価回路構成図となる。液晶表示素子としては、IPS、TN、MVA、OCBなどのスイッチングモードを有する形態が知られているが、本実施の形態ではいずれの場合も含むし、前記表示素子を駆動するTFTもa-Si(アモルファスシリコン)やp-Si(ポリシリコン)の場合も同様である。

【0009】図3は液晶表示アレイ106のゲート線を駆動するゲート線駆動回路104の出力パルスタイミングチャ

ートである。このゲート線駆動パルスは図1の複数回走査タイミング生成回路103によって供給されるゲート駆動回路制御信号により生成される。図3中301はフレーム周期であり通常60Hzで16.7msである。302は映像走査期間で、フレーム周期の1/2の約8.4msである。303はブランキング走査期間で、前記同様、フレーム周期の1/2約8.4msである。また304はゲート選択期間であり、同時に選択しているラインに映像を書き込む期間と一致する。この場合、複数ラインを同時に選択し、同じデータを書き込んでいるため、304の期間は従来の1ライン書き込み期間と同じである。表示アレイ106のゲート線は同時に(並列に、オーバーラップして)2ラインが選択状態とされ、映像を書き込み、2ライン飛び越して走査している。つまり、映像書き込み期間302で、ゲート線G1、G2を同時に選択、2ラインに同じ映像を書き込み、ついでゲート線G1、G2を飛び越し、G3、G4を選択して次のライン映像を書き込む。このため、1フレーム期間の半分の期間で映像を走査ラインすべてに書き込み終えることができ、残りの半フレーム期間、書き込み走査に余裕ができる。この走査期間を2ライン同時書き込み、2ライン飛び越し走査で、ブランキングデータ(黒データほど望ましい)を書き込むことで、1フレーム期間に映像表示とブランキング表示を行うことができ、ホールド型の液晶表示アレイで、ブラウン管のようなインパルス型の表示特性を擬似的に再現し、動画の表示性能を向上させることができる。

【0010】ブランキングデータ書き込みの際、映像書き込み時と異なる走査方法、例えば映像書き込み時には2ライン同時書き込み、2ライン飛び越し走査で、ブランキング書き込み時には4ライン同時書き込み、4ライン飛び越し走査すれば、さらに映像とブランキングの全走査期間を短縮できる。但し、書き込みラインによって、例えば第1ラインと最終ラインとでは、映像の書き込み間隔が前者は長く、後者は短いというように異なり、表示ムラが生じやすいため、本実施の形態では、ブランキング書き込みは、映像書き込みと同じ走査方法を採用している。

【0011】図4は表示アレイの1画素に着目した各信号線駆動波形と液晶の光学応答波形を示す。401は1フレーム期間、402はフレーム周期401の半分の映像書き込み期間、403は同様にフレーム周期401の半周期のブランキング書き込み期間である。また404は1ラインのゲート選択期間であり、書き込み期間と一致する。405はゲート線駆動波形で、図3に示したタイミングで2ライン同時選択、2ライン飛び越し走査を行うことにより、1フレーム期間401内に2回ゲート線を選択状態とする。406はドレイン線駆動波形で、この場合、ノーマリブラックモードのドット反転駆動を想定している。ただし、2ライン同時に書き込んでいるため、2ラインドット反転となっている。図4のように、書き込み極性の交流化は、各ライ

ンの書き込み毎に行う必要は必ずしもなく、 $n$ 回の書き込み毎に行ってもよいし、フレーム周期401毎に行ってもよい。又は、映像書き込み期間406とブランキング書き込み期間407とで極性を交えてもよい。

【0012】本実施の形態では、複数ラインに同じデータを同時に書き込むため、書き込み期間は従来と同じ期間を確保できるが、複数ラインに同時に書き込むため、書き込み電流が従来以上に必要になる。ドレイン線駆動回路105の書き込み電流の供給能力を考慮すると、フレーム周期401毎に極性を反転するほうが、書き込み電流を抑制できるため、書き込み特性を向上させられる点で望ましいことになる。また、ドレイン波形406は、1フレーム期間に映像信号と、ブランキングデータを同じ極性で書き込むように交流化しているため、常に同じデータを書き込むブランキング期間での同極性書き込みによる直流残像を抑制している。407はソース電圧波形、408はコモンレベルであり、両者の差電圧が液晶に印可される。409は液晶の光学応答波形であり、1フレーム期間401の最初の書き込み期間402で映像を書き込んだ後、光学応答波形409のように、映像表示の応答を始め、その後

ブランキングデータ書き込みで、黒レベルへ遷移する。このようにして、1フレーム毎に映像応答、黒応答を繰り返すことで、ホールド型の表示特性を有する液晶表示素子アレイを用いて、インパルス型の光学特性を得ることができ、動画表示性能を向上させることができる。

【0013】図4では、ドレイン線駆動回路105が、第1のフレーム期間401の映像書き込み期間402で、映像データに応じた正極性の階調電圧を選択されたライン上の表示素子へ印加し、ブランキング書き込み期間403で、ブランキングデータに応じた階調電圧、即ち、映像データよりもコモンレベル408の負極性の階調電圧を、選択されたライン上の表示素子へ印加する。ドレイン線駆動回路105が、第2のフレーム期間401の映像書き込み期間402で、映像データに応じた負極性の階調電圧を選択されたライン上の表示素子へ印加し、ブランキング書き込み期間403で、ブランキングデータに応じた負極性の階調電圧、即ち、映像データよりもコモンレベル408の負極性の階調電圧を、選択されたライン上の表示素子へ印加する。ブランキングデータの階調が黒の場合は、コモンレベル408に対する階調電圧の絶対値が最も小さくなるため、ブランキングデータの階調電圧は映像の階調電圧よりもコモンレベル408に近い。但し、映像が黒の場合は、ブランキングデータの階調電圧と映像の階調電圧とは等しくなる。

【0014】液晶の光学応答性は速いほうが急峻なインパルスとなり、ブランキングへの収束も早くなるため、映像がさらに鮮明となるが、液晶を高速化すると、液晶の保持特性が悪くなる傾向があることから、パーソナルコンピュータ用にホールド発光型モニターと兼用する場合、コントラストや画面均一性が悪くなることが予想さ

れる。したがって、モニター兼用を考慮した本実施の形態の場合、応答と保持特性のバランスのとれた液晶を用いることとする。ただし、テレビ専用機として本実施の形態を適用する場合は高速な液晶を用いるほうが望ましい。

【0015】また、本実施の形態ではノーマリブラックモードの表示アレイをドット反転駆動で駆動した場合を想定したが、ノーマリホワイトモードの表示アレイの場合も、コモン反転駆動にて駆動した場合でも同様の効果を得ることができる。さらに画質改善を図るため、本実施の形態では以下のような階調制御機能を付加した。

【0016】液晶はその応答特性が階調依存性を有するため、ホールド型走査した場合と、本発明のようにインパルス型で走査した場合とでは、階調データと輝度の特性であるガンマ特性が異なる場合がある。そこで、本実施の形態は、ガンマ特性を補正するため、インパルス型で走査した場合には別の階調電圧を印可できる手段を設けている。例えばドレイン線駆動回路105内部の階調電圧分圧抵抗をスイッチで切り替えてガンマカーブを変更可能なドレインドライバICを用いる方法や、あるいはドレイン線駆動回路へ供給する階調電圧群V[9:0]（例えば正負合わせて10レベル）を2系統、複数回走査タイミング生成回路103内部に所持し、ホールド表示かインパルス表示かで切り替える方法もある。本実施の形態では複数回走査タイミング生成回路103内に構成可能な後者を採用した場合の切り替え方法について詳述し、図5に示した。図5中、501は選択信号線で、ホールド型走査時かインパルス型走査時かを示す信号を供給する。502はホールド型走査時のラダー抵抗、503はインパルス型走査時のラダー抵抗で、それぞれ異なるガンマカーブを生成する。504、505は、それぞれ502及び503で生成した、ホールド型、インパルス型の階調電圧群を伝送する階調電圧バスで、この場合64階調のドレイン駆動回路を前提に10ラインのバスを想定した。したがって、256階調のドレイン駆動回路を用いればさらにバス幅は大きくなる。506は前記選択信号線501により、階調電圧バス504、505を選択するアナログスイッチであり、507はバッファで、選択階調電圧群バス508により、ドレイン線駆動回路104に階調電圧を供給する。このように、走査方法がホールド型かインパルス型かによって階調電圧を異ならしめることで、ガンマ特性を両者それぞれで設定でき、インパルス型による光学特性の補正や、またブラウン管のような急峻なガンマ特性を生成し、画質を向上させることができる。

【0017】さらに本実施の形態を応用すると、次のような走査も可能である。図6は同時に書き込むライン数を4本にした場合のゲート選択パルスタイミングである。601はフレーム周期、602、603はフレーム周期の1/4の映像走査期間、この場合約4.2msで、604、605は同様フレーム周期の1/4のブランキング走査期間である。同

時に書き込むライン数を4本にすれば、1フレームの1/4の期間で1画面走査を完了することができるため、残り3/4のフレーム期間をブランキングや高速応答フィルタ処理等に割り当てることができ、走査帯域を有効に活用することができる。

【0018】図7は、第1の映像書き込み期間に液晶高速化フィルタを適用して、映像書き込みの応答性を向上させるべく駆動した際の各画素の駆動波形である。図中701はフレーム周期、702は液晶高速応答化映像書き込み用の1/4フレーム期間、703は映像書き込み用の1/4フレーム期間、704はブランキング用の1/2フレーム期間で、705は各ラインのゲート選択期間で、書き込み期間と等しく、通常の1ライン毎走査時と同じ期間である。706はゲート波形、707はドレイン駆動波形、708はTFTのソース波形である。このソース波形708とコモンレベル709との差電圧が液晶に印加され、710の光学応答波形を得る。710の光学応答波形は、ブランキング表示から映像表示に切り替わる1/4フレーム期間で、液晶を見かけ上高速応答化する電圧を印加させるための映像を、液晶高速応答化フィルタで作り出すことで、その立ち上がりが改善されている。この場合、常に黒レベルからの立ち上がりのみ考慮すればよいから、高速応答化フィルタのフィルタ係数の組み合わせが簡略化され、低回路規模で実現できる利点がある。また、書き込み極性の反転周期を映像、ブランキングのそれぞれで完結させることができる、すなわち高周波で交流化できるため、直流残像の心配がなく、液晶の劣化を防ぐことができる。

【0019】以上、ゲート線の駆動タイミングを生成する複数回走査タイミング生成回路103について述べてきたが、次に前記タイミングに従って書き込むための映像を生成する複数回走査データ生成回路102の動作について、先に述べた複数回走査タイミング制御回路103の生成するタイミングと照らし合わせながら説明する。図8は2ライン同時書き込み、2ライン飛び越し走査で1フレーム期間に映像表示とブランキング表示を実現するための、複数回走査データ生成回路102と複数回走査タイミング生成回路103が映像を生成する過程を示す図である。ここで言う複数回走査データ生成回路102の作り出す映像とは、複数回走査タイミング生成回路103へ転送される映像であり、複数回走査タイミング生成回路103で生成される映像とは、表示アレイ106上に走査によって生成される映像を言う。図8(a)は複数回走査データ生成回路102が映像を生成する過程で、図8(b)は複数回走査タイミング生成回路103のそれである。複数回走査タイミング生成回路103でゲート線駆動回路104を制御するタイミングを生成し、表示アレイ106で、図3に示したようなタイミングで2ラインのゲートを同時に選択し、同じデータを書き込むことから、複数回走査データ生成回路102で供給する映像データの走査線数は表示アレイの垂直解像度の半分でよい。したがって、例えば画像信号

源101からの映像801が表示アレイと同じ解像度の場合、複数回走査データ生成回路102は、原映像801を垂直方向に圧縮して半分とし、残り半分の無効映像を付加して中間映像802を作り出す。解像度が異なる場合には、スケーリングやインターレース・プログレッシブ変換等の画像処理により、解像度を等しくした上で垂直解像度を半分とした映像802とする。

【0020】その映像802を複数回走査タイミング生成回路103が受け取り、ゲート線駆動回路104を制御し、図3のタイミングで表示アレイ106のゲート線を駆動することで、表示アレイ106に同じデータを2ラインに書き込んだラインダブラーなターゲット映像803を映し出す。ここで、無効映像とは表示に使わない映像データのこと、その無効映像は複数回走査データ生成部102で生成して無効化（例えば黒データを挿入）してもよいし、複数回走査タイミング生成部103で無効化（例えばマスク化）してもよい。

【0021】4ラインを同時選択して書き込む場合も同様で、表示アレイ106のゲート線に図6のタイミングで選択パルスを供給することで、1画面走査を1フレームの1/4に短縮できる。この場合、ゲート線駆動回路104が図6のタイミングで4ライン同時に選択パルスを供給し、4ライン飛び越して走査するように、複数回走査タイミング生成回路103が制御する。4ライン同じデータを書き込むため、複数回走査データ生成回路102が複数回走査タイミング生成回路103へ送信する映像は原映像データを垂直方向に1/4に圧縮した映像でよい。

【0022】図9は4ライン同時書き込み、4ライン飛び越し走査で1フレーム期間に、液晶高速応答化フィルタ処理映像表示と原映像表示及びブランキングを実現するための、複数回走査データ生成部102と複数回走査タイミング生成回路103が映像を生成する過程を示す図である。複数回走査データ生成回路102は原映像901の垂直解像度を1/4に圧縮し、液晶の応答を高速化するため、原映像を強調した映像904を生成する。その映像に1/4に垂直圧縮された原映像905と無効映像906を合わせた中間映像902を生成し、複数回走査タイミング生成回路103へ転送する。1/4垂直圧縮され、高速応答化フィルタを施された映像と1/4垂直圧縮された映像、さらに2/4の無効映像からなる中間映像902を受けた複数回走査タイミング生成回路103は、4ライン同時書き込み、4ライン飛び越し走査の選択タイミング図6で、表示アレイ106のゲート線を駆動するタイミングをゲート線駆動回路104に供給し、前半の2/4期間で映像を、残りの期間でブランキング表示を行うという動画表示を高画質化する本発明の基本システムを構成する。

【0023】以上、本発明を代表する基本的なシステム構成とその各要素の動作を説明した。以降は、この基本システムを応用する際に特に考慮すべき点を挙げ、本発明のシステム構成で、その改善策を提供する方法につい

て詳しく述べていく。

【0024】第一に考えるべきことは、本発明による方法が、複数ラインに同じ走査データを書き込む走査であるため、垂直解像度を低下させてしまうという点である。したがって、同時に書き込むライン数はできる限り少ないほうが望ましい。しかし、近年、より高解像度な表示アレイが主流になりつつあること、放送のデジタル化、ブロードバンド化、映像サービスの多様化など映像フォーマットが多彩となってきた時代の流れから、表示アレイの解像度と映像フォーマットの関係、及びそれに適した本方法の適用のあり方などを考察することによっていくつかの解決策が見出せる。以下、その解決策を考察するにあたり、表示アレイと映像フォーマットの組み合わせについてまず説明していくこととする。

【0025】図10に、図2に示した液晶表示アレイとして、画素配列のアスペクト比が4:3のマトリクスを成す規格化された代表的な表示アレイと、さらに近年、ワイドなアスペクト比の規格化されつつある表示アレイを列挙した。ここで、図2に示した画素はスクエアピクセルを仮定しているものとし、したがって、アスペクト比とは水平、垂直画素数の比を表すものとして取り扱う。

【0026】例えば、XGA (Extended Graphics Array) 解像度の表示アレイは1024×768のマトリクスを成す、アスペクト比4:3のアレイであるが、そのワイド版W XGA (Wide Extended Graphics Array) 解像度では、1280×768とアスペクト比が横に長い。この流れは、先に述べた放送のデジタル化により、映像信号フォーマットにおいて、アスペクト比が16:9へとワイド化しつつあること、また液晶表示装置においてもマルチメディア化が浸透しつつあること等の理由からである。

【0027】図11はデジタル放送で規格化されている映像フォーマットを示している。有効走査線数の末尾のiもしくはpは、インターレース走査であるか、プログレッシブ走査であるかを示す添え字で、インターレース走査の映像は、プログレッシブ走査映像の半分の垂直解像度しか有していない。図11に示したような映像フォーマットのワイド化と、液晶表示装置のマルチメディア化の流れに加え、従来のパーソナルコンピュータ等の表示規格とのコンパチビリティを維持するため、図1中の複数回走査データ生成回路102には両者のインターフェースを設けてある。そのため、例えばXGA解像度の表示アレイに1080iの映像や、パーソナルコンピュータ等の映像など、同じ表示アレイで、異なるフォーマットの映像を表示することが可能となる。ただし、XGAの垂直解像度は768であるのに対し、1080iは60Hzで540の走査線しかないこと、また、XGAのアスペクト比は4:3であり、1080iの映像フォーマットはアスペクト比16:9であることから、パーソナルコンピュータの映像を表示する場合と異なり、いくつかの表示方法が考えられる。

【0028】具体的に表示アレイとフォーマットの異なる

る映像を表示する際の表示方法について例をいくつか挙げると図12、13のようになる。

【0029】図12に、XGAに代表されるアスペクト比4:3の表示アレイにアスペクト比が一致した映像やワイドアスペクト比の映像を表示する場合の代表的な表示例を挙げた。図12(a)は、アスペクト比が一致する映像、もしくはアスペクト比を調整して全画面を有効表示領域として表示した場合である。図12(b)は、映像信号のワイドアスペクト比を維持するため、表示アレイの水平解像度をすべて活用した場合であり、垂直方向に余る表示領域はブランキングデータでパディングしている。図12(c)は表示アレイの解像度と映像信号の解像度を完全に一致させた場合で、水平、垂直方向に余る表示領域はこの場合もブランキングデータでパディングしている。図12(d)は映像信号のワイドアスペクト比を維持するため、表示アレイの垂直解像度をすべて活用した場合である。この場合、水平方向の映像はすべて表示できないため、表示部分を選択可能とし、全領域の一部を表示するようなシステム構成と成っている。

【0030】図13は逆にWXGAに代表されるワイドアスペクト比の表示アレイにワイド映像やワイドでないアスペクト比の映像を表示した場合の表示方法を示しており、図13(a)はアスペクト比の一致した映像を全画面で表示する、あるいは異なる場合でも、水平方向に引き伸ばして表示した場合であり、図13(b)は全垂直解像度表示で、左右ブランキングデータでパディングした場合、図13(c)は解像度を一致させて表示し、余る表示領域はブランキングデータでパディングした場合、図13(d)は全水平解像度で映像の一部を表示した表示方法をそれぞれ示している。

【0031】図14は、各アスペクト比の映像を各表示アレイに表示する際の代表的な組み合わせ例を示している。図14の表(A)は各表示アレイが4:3並びに16:9のアスペクト比の映像を表示する際、ワイドでない表示アレイにワイドアスペクト比の映像を表示する場合には、アスペクト比を維持した図12(b)の表示方法で、ワイドな表示アレイにワイドでない映像を表示する場合には、図13(b)の表示方法で表示した際、有効表示領域のための走査線を何ライン確保可能か、そしてブランキング領域のための走査線を何ライン必要とするか算出したそれぞれの結果を示した表である。図14の表(B)には、表(A)で算出した有効表示領域に各フォーマットの映像を表示した際に、アスペクト比の調整とブランキングデータパディングに伴う走査線の過不足数をまとめている。XGAとWXGAを例として、前記過不足数について具体的に説明する。

【0032】XGAの表示アレイでは、4:3の映像表示時には、アスペクト比が一致しているため、垂直解像度768ラインをすべて有効表示領域として使うことが可能であるため、ブランキングライン数は0本となる。しかし、



アスペクト比16:9の映像表示時には、有効表示領域は $1024 \times 9 \div 16 = 576$ ライン、ブランキング領域は $768 - 576 = 192$ ラインとなる。すなわち、アスペクト比4:3の480iの映像表示時には、インターレース240本の有効走査線に528ライン補足し、768ラインとすることで、ブランキングデータでパディングすることなく、XGAの表示アレイ全画面に映像を表示することができることを意味し、一方、アスペクト比16:9の1080iの映像表示時には、インターレース540本の有効走査線に36ライン補足して576ラインとし、残り192ラインをブランキングデータでパ

ディングすることでXGAの表示アレイに1080iのアスペクト比を維持した表示が可能であることを意味している。したがって、補足すべき走査線は、480i表示時で528ライン、1080i表示時で36ラインとなる。

【0033】同様にWXGAの表示アレイに4:3の映像を表示する場合、XGAと同じ垂直解像度768ラインの表示領域が確保できる。この場合、左右に計 $1280 - 1024 = 256$ ドット幅のブランキングデータをパディングすることでアスペクト比を維持するか、ブランキングデータの代わりに映像を水平方向に引き伸ばして表示することも可能である。16:9の映像の場合、アスペクト比を維持するため、垂直有効ラインは $1280 \times 9 \div 16 = 720$ ラインとなり、ブランキングラインは $768 - 720 = 48$ ラインとなる。したがって、1080iの映像を表示する際、 $720 - 540 = 180$ ラインは補足する必要があるが、ブランキングラインが48ラインと少ないため、表示領域を有効に活用できることになる。

【0034】ここで、XGA、WXGAの例に本実施の形態を適用した場合の垂直解像度について議論すると以下のようになる。まず、XGAの表示アレイにアスペクト比の等しい480iの映像を表示する場合を考える。480iの映像信号は、60Hzで有効走査線が240ラインしかないため、480iの映像に対してXGAの表示アレイは垂直解像度が3倍以上大きいことになる。そのため、2ライン同時書き込み、2ライン飛び越し走査を行って、走査線を補足しても、原映像の情報が欠落しないため、比較的画質の劣化は生じにくい。つまり、この組み合わせのケースは、本実施の形態を適用し、黒データ走査によるブランキング効果で、動画表示特性の向上が画質の向上に直結する。

【0035】では、次にXGAの表示アレイに、アスペクト比が異なり、かつ解像度の高い1080iの映像を表示する場合について考える。この場合、図14(A)より、576ラインしか有効表示領域が得られないため、2ライン同時書き込み、2ライン飛び越し走査を行うと、その半分の走査線288ラインしか表示できない。つまり、1080iの映像は60Hzで540ラインの走査線を有するため、残り $540 - 288 = 252$ ラインの映像情報を常に失うこととなる。したがって、この組み合わせの場合、本実施の形態の適用、つまり垂直解像度の一部をブランキングに割り当てる方法は、動画画質の向上には貢献するが、必ずしも画質の点で十分とは言えない。

【0036】そこで、本方法を適用するにあたり、いくつかのオプションを考えた。図15は本発明の基本システムを用いてそれを改善するための1つのオプションである走査方法を示す図である。図中1501はフレーム周期、1502は映像書き込み用の1/2フレーム周期で、1503はブランキング用の1/2フレーム周期である。前述のように、表示アレイとアスペクト比の異なる映像を表示する場合、例えば4:3の表示アレイに16:9の映像を表示する場合などでは、有効表示領域を全表示領域の一部しか確保できず、それ以外はブランキングする必要があり、そのため原映像の垂直解像度を大幅に削減せざるを得なかった。そこで、図15はアスペクト比調整のためのブランキング走査領域G1~G96（図15ではG1~G4のみ記載）とG672~G768（図15ではGn-3~Gnのみ記載）は4ライン同時書き込み、4ライン飛び越し走査を行っている。もちろん、同時書き込み及び飛び越しライン数は4ラインに限定されず、さらに多くのライン数を設定してもよい。特にブランキング書き込みは同じデータであるため、できる限り多くのラインを同時に書き込むほうが、原映像の走査線を有効に再現できることは言うまでもない。このように、4ライン同時に書き込むと、計192ラインのブランキングな無効表示領域は48回で走査を終えることができ、残り336ラインの走査期間が確保できる。つまり、原映像を336ライン再現できることになる。この336ラインの走査期間を有効表示領域576ラインの走査期間に割り当てる必要があるため、2ライン同時書き込み、2ライン飛び越し走査が240回、1ライン走査がその残り96回必要となる。

【0037】図15では、前述の1ラインと2ライン走査がある領域で交互に行った例を示しており、Gi-5、Gi-4には同じデータを書き込み、Gi-3は1ラインのみ、次のGi-2、Gi-1には同じデータ、次のGiは1ラインのみというように、同時書き込みライン数を異ならしめる。この場合は、1ライン走査回数が96回と少ないため、何回かの2ライン走査に1回といったようにできる限り分散させて挿入することになる。当然のことながら、複数回走査データ生成部102、及び複数回走査タイミング生成部103では1ライン及び2ライン走査するためのデータとタイミングを生成しなければ、所望の映像は得られない。このようにすることで、図1の本実施の形態のシステムにおいて、表示アレイとアスペクト比の異なる原映像であっても、走査線の欠落を最小限に抑制することができる。

【0038】あるいは、図15(d)のようなファインダー表示にて、垂直解像度を最大活用する方法も考えられる。この場合、2ライン同時書き込みによって、2倍に拡大するため、384ラインの原映像を表示できる。ただし、水平解像度が足りないため、全映像を一度には表示できないが、ユーザーが表示領域を選択可能なように選択手段を設けてある。本選択手段については後ほど詳しく説明する。このように本発明にいくつかのオプション



を設けて、それらを選択可能とすることで、垂直解像度の低下を抑制することができる。

【0039】さらに、別のケースとして、今度はWXGAの表示アレイに1080iの映像を表示する場合を例にとる。図14(A)に示したように、WXGAでは720ライン有効表示領域として確保できるため、2ライン同時書き込み、2ライン飛び越し走査を行っても、原映像の走査線360ラインは再現できることになる。つまり、ワイドな表示アレイでは有効表示領域が大きく確保できるため、本実施の形態を適用して動画質の向上を図りつつ、垂直解像度もできる限り維持可能である点から、画質改善効果が大

きい。

【0040】以上、動画の観点で本実施の形態の効果を述べたが、放送のコンテンツは動画に限らず、静止画映像も多いだろうし、ユーザーによっては動画であっても垂直解像度を優先したいという場合もある。またデジタルカメラ等の撮影映像の再生表示機能を設ければ、垂直解像度の方が常に優先されるというケースもある。さらに、図12、13のようないくつかの表示モードを備え、コンテンツによって表示方法を切り替え可能とすることで、コンテンツの使い方、楽しみ方をユーザーの趣向に整合させることもできる。

【0041】具体例として、1080iのスポーツ観戦放送を受信し、4:3の表示アレイで表示する場合、まず図12(b)の表示で動画モードの全体映像を表示したあと、特定の人物や領域にフォーカスして図12(d)の表示に切り替え、ユーザーの見たい部分のみを抽出できる。この場合、動画として表示画質を向上する点で、先のオプション機能を適用することができる。またデジタル放送を録画し、その録画映像再生の際も同様であるが、この場合、一時停止などの機能で、静止画像とすると、1ライン毎でブランキングしない走査に切り替え、インターレース・プログレッシブ変換等の原映像の持つ走査線を最大限に再現する方法でよりクリアな映像を楽しむことができる。

【0042】これらの観点から、本実施の形態のシステムでは、以上に述べた複数ライン同時書き込みによるブランキング効果を利用した動画モードと1ライン走査による垂直解像度を最大に活用した静止画モードとを切り替え可能な切り替え手段を設けた。また、図12、13のよう

な表示モードをいくつか設け、そのモード切り替えや、特定領域のフォーカシング、ズーム機能、ファインダー移動等の機能も設けてある。

【0043】図1中109がその切り替え信号で、ユーザーがリモコン等の外部コントローラから制御信号を複数回走査データ生成回路102へ送信することで前述のモードを切り替える。この複数回走査データ生成回路102は静止画モードでは1ライン走査の映像を、ただし表示する表示アレイ106に合わせて、必要に応じてスケーリングやインターレース・プログレッシブ変換を施した映像を

形成し、動画モードでは複数ライン同時書き込み、飛び越し走査を行う前提で図8、9のように映像を形成し、また表示モードに応じて、アスペクト比調整用にブランキングデータでパディングして、複数回走査タイミング生成回路103へデータを転送する。複数回走査データ生成回路102で生成される映像と複数回走査タイミング生成回路103で生成するタイミングは対応しているため、動画・静止画モード切り替えや、図12、13のような表示モード切り替え時に、生成する映像を変えた場合、同様にタイミングも切り替えなければならない。したがって、制御切り替え信号線109を複数回走査データ生成回路102だけではなく、複数回走査タイミング生成回路103へも供給する必要がある。ただし、両者に信号線を供給する構成では、静止画・動画モードや表示モードのバリエーションや、異なる表示アレイに表示する場合での配線などで、配線数の増加、複雑化を招き、さらに拡張性にも乏しい。したがって、本実施の形態では、複数回走査データ生成回路102は、図16に示すように、帰線期間にモード指定による映像の制御情報を付加した映像データを複数回走査タイミング生成回路103へ送信することで前記要求に応えた。

【0044】図17に付加する制御情報とその代表的な設定値例をまとめた。そのうちいくつかは連動して設定してもよいし、単独で制御してもよい。このように映像データにその制御情報を付加したフォーマットでデータを転送すると、基本的なパラメータは元より、さらに拡張設定として、ユーザー固有にパラメータを設定した場合でも余分に配線を加えることなく、容易に実現可能である。したがって、図1に示した本実施の形態のシステム構成は、表示アレイと映像の解像度の組み合わせに応じて、動画と静止画の表示特性をコントロールでき、さらにユーザーが選択可能な選択手段を設けたことで、動画表示性能の高い、かつ柔軟性、汎用性及び拡張性の優れた液晶表示装置を構成できる。

【0045】以下、本発明の第2の実施の形態を説明する。

【0046】第1の実施の形態において提示したシステムは1フレーム期間内にブランキングを行うため、液晶の応答性や開口率によって輝度が低下する。また、黒書き込みによるブランキング時には、バックライトを点灯したままであったため発光効率が低下していた。そこで本実施の形態では第1の実施の形態に加え、バックライトの点灯を制御することでその改善を図った。

【0047】図18は2ライン同時書き込み、2ライン飛び越し走査時の表示アレイのゲート選択パルスとバックライトとの点灯タイミングを示す図で、1801はフレーム周期、1802は半フレーム周期の書き込み期間、1803は半フレーム周期のブランキング期間、1804は1ライン選択期間を示し、1805はゲートパルスを、1806は液晶の光学応答を、1807はバックライトの点灯タイミングを示す。本

実施の形態でも、液晶はノーマリブラックモードを仮定し、バックライトの点灯タイミングを示す1807はHighレベルで点灯、Lowレベルで消灯するものとする。

【0048】バックライトを構成するランプの配置としては、ランプを筐体の上下もしくは片側に設置したサイドライトタイプと、表示アレイの真後ろに配置した直下型とがある。前者は筐体を薄型に設計できるため、ノートパソコン等によく用いられ、後者は高輝度化が容易なため、開口率の低い液晶表示アレイの高輝度化に適している。本実施の形態では、高輝度化の観点から直下型を用いた場合を想定して説明する。

【0049】図18のように、隣り合うゲート線G1、G2から順にゲート線を選択状態とし、映像を書き込むと、書き込みの完了したラインから液晶は数ms〜数十msを経て順に応答していく。

【0050】本実施の形態では、バックライトを点滅制御するが、バックライトを消灯すると、当然のことながらさらに輝度が低下する。そこで、黒データ走査とバックライトの消灯によるブランキングで低下する輝度分を考慮し、ランプの管電流を増加させ、輝度を向上させている。望ましくは、ランプの発光特性は短時間に所望する明るさに達し、かつ残光の短いものほどよい。実際にはランプの管電流には制限があり、寿命との兼ね合いからあまり多くは流せない。また発光及び残光時間として数ms程度は要してしまう。そのため、本実施の形態では、ランプ管電流を増加させた点灯期間を1フレーム期間の半分とし、1フレーム期間に1回点滅させることとした。また点滅は直下型の複数のランプを、ひとつずつ順次タイミングをずらして制御する方法もあるが、前述したようにランプの瞬時発光が困難であり、タイミングをずらす効果が期待できないことから、複数のランプの点滅はすべて同じタイミングで行った。そして、図18のように黒のブランキングデータ走査が開始するタイミングで点灯させ、映像書き込み開始時に消灯することとした。

【0051】図18の1808が点灯期間であり、このようなタイミングで点灯と消灯を繰り返すと、画面中央はちょうど応答が完了した期間が長いので、鮮明で明るい映像となる。

【0052】また、ランプの管電流をさらに流して輝度を確保可能な場合には、点灯期間をさらに短縮し、1809としてもよい。こうすると、黒表示時には完全に消灯しており、かつ画面中央は完全に応答しきってから点灯表示となるため、鮮明さが増すとともにランプの発光効率が向上する。

【0053】ランプの温度特性に関しても、バックライトを消灯するため、ランプを冷やす効果があり、温度上昇による輝度低下を防ぐ意味でも利点もある。

【0054】さらに、図19は表示アレイとアスペクト比の異なる映像を表示した際にも、バックライトの点灯制

御を行った例を示す図である。図19(a)はアスペクト比の異なる映像を図12(b)で表示した例で、無効表示領域はブランキングデータでバディンクしている。図19(b)は表示アレイの背面に設置された直下型バックライトで、それぞれ単独に制御可能な6本のランプで構成されている。図19の意味するところは、黒でバディンクした無効表示領域はバックライトを点灯する必要がないため消灯していることである。つまり、上下2本のランプは消灯し、中央4本のみ点灯すればよいことになり、この間、バックライトの消費電力を低減することができ、発光効率が向上する。

【0055】本実施の形態におけるこれらのバックライト制御は、例えば図20のようなパラメータを用意しておき、第1の実施の形態で述べた図16のように、制御情報を映像に添付する切り替え方法にて、容易に切り替えることができる。つまり、図1中複数回走査タイミング生成回路103が、複数回走査データ生成回路102からバックライト制御情報付き映像データを受け取り、バックライト制御バス111を介して各ランプの制御方法を切り替えることで実現できる。この場合の例は、ランプ1とランプ6は常時消灯、ランプ2から5は図18のタイミングで点滅制御するという制御情報である。

【0056】ノートパソコンなど薄型な薄型設計を実現するサイドライト型の表示装置ではこのような制御は意味をなさないが、一括で図18のタイミング点滅制御は可能であるため、バックライトの点滅制御の適用は可能である。

【0057】このように、ブランキング表示期間あるいは表示領域を考慮し、バックライトを点灯制御することで、動画表示特性とさらに発光効率の優れた表示装置が実現できる。

【0058】以下、本発明の第3の実施の形態を説明する。

【0059】第1の実施の形態に説明したように、2ライン同時書き込み、2ライン飛び越し走査で表示すると、原映像の半分の垂直走査線しか再現できない。図14から分かるように、映像が表示アレイより十分解像度の低い、具体的には半分以下の場合には、2ライン同時書き込み飛び越し走査を行っても、原映像情報を欠落させず、表示アレイに再現できるが、逆に、映像信号が表示アレイの半分の解像度を超える場合、映像情報を削減するか、従来の1ライン毎走査、ホールド型の表示モードに切り替えざるを得ない。前者は動画表示においては高画質であるが、静止画は垂直解像度の低下を招き、後者はその逆となる。本実施の形態は、ブランキング効果による動画表示性能を向上させつつ、映像情報をロスレスで表示する方法を提供する。

【0060】現在入手可能なドレインドライバIC（ドレインドライバIC）のデータ転送帯域は約50MHz程度と低い。このドレインドライバICを用いてXGAの表示アレイ

を駆動すると、少なくとも $60 \times 768 \times 1024 \div 4 \text{MHz}$ 必要であり、ドライバデータ転送帯域にマージンがない。そこで現在はデータバスを2画素分用意し、転送レートをハーフレートとした構成で製品化している。特にモニター用途ではVESAのXGA規格、ドットクロック約80MHz相当をサポートするためには必須である。しかし、デジタル放送や、NTSCはモニター規格と異なり、独自の信号処理回路を搭載して液晶表示アレイに表示しているため、比較的転送方法の制限を受けない。筆者はこの点に着目し、使用するドレインドライバICのデータ転送帯域を最大限に活用する方法を考案した。

【0061】先に述べたように、ドレインドライバICのデータ転送バスは2画素分用意されているため、4MHzでデータ転送すると、60Hzで2画面走査が可能となる。これを利用すると、もう1画面分の走査をブランキングに割り当てることが可能となり、垂直解像度を失うことなく動画表示性能を向上させることができる。

【0062】図21に本実施の形態におけるゲート選択パルスのタイミングチャートを示した。2101はフレーム周期で、2102はフレーム周期の半分の映像書き込み期間、2103はフレーム周期の半分のブランキング期間、2104は1ラインの書き込み期間である。この場合、1フレーム期間に1ライン毎の走査で2画面走査するため、1ラインの書き込み期間が約半分程度に短くなる。そこで本実施の形態では、図22に示すように、極性反転周期をフレーム周期で、つまり映像走査とブランキング走査を終えた時点で行うことで書き込み率を向上させた。図中2201はフレーム周期、2202は半フレーム周期の書き込み期間、2203は半フレーム期間のブランキング期間で、2204は1ラインのゲート選択期間である。また、2205はゲート波形、2206はドレイン波形、2207はソース波形で、コモンレベル2208とソース電圧2207の差電圧が液晶に印可されるため、1フレーム周期で極性が反転する。2209は液晶の光学応答波形で、この場合、ノーマリブラックモードを想定している。本駆動により、光学応答波形2209は1フレーム期間に映像表示とブランキングへの応答を行う、インパルス型の波形を示すため、動画表示特性が向上する。

【0063】また第2の実施の形態のバックライトシステムを組み合わせれば、動画表示はさらに鮮明となり、バックライトの発光効率と合わせて性能が向上する。

【0064】また、第1の実施の形態とは異なり、複数ライン同時にデータを書き込まないため、原映像の映像情報を欠落させる必要はなく、垂直解像度も低下することはない。この点で画質がさらに向上する。

【0065】本実施の形態と第1の実施の形態を組み合わせると、さらに動画性能は向上する。なぜなら、2ライン同時書き込み、2ライン飛び越し走査を行うと、1フレーム期間内に4画面走査が可能となるからである。静止画の場合には、映像のディテールを高い垂直解像度

で再現し、動きの速い映像は、時間方向に解像度を確保し、液晶の高速応答化フィルタ処理等で画質を向上させるという制御が可能となるからである。特に液晶自身の応答速度は数msから数十msで、液晶材料自体の応答を高速化しても保持特性が悪くなるという傾向があるため、あまり高速化できないということ、またパーソナルコンピュータ等では保持特性のよいほうがフリッカが生じにくいため優れるといった理由もある。

【0066】1フレーム期間に4画面走査を可能となれば、最初の2画面は映像書き込み、次の2画面はブランキングと分割し、さらに映像書き込みの最初の画面走査を高速応答化フィルタ処理に割り当て、次の画面走査で元に戻すことで、見かけ上応答を高速化したインパルス型の駆動が実現できる。前記高速応答化フィルタは、ブランキングの次の映像が常に黒データからの変化であるため、比較的小規模な回路で実現できる。さらに、前述の映像書き込み期間に、異なる極性で映像を書き込めば、映像書き込み、ブランキングそれぞれで極性反転が完結するため、液晶に常に対象な電圧が印可でき、液晶の劣化を抑制できる。

【0067】図23はそのゲートパルスのタイミングチャートで、2301はフレーム周期、2302は1/4フレーム期間の液晶を高速化する映像書き込み期間、2303は映像書き込み期間、2304は1回目のブランキング書き込み期間、2305は2回目のブランキング書き込み期間である。2306はゲート選択期間であり、通常書き込みの約半分である。

【0068】図24は各信号線の駆動波形で、2401はフレーム周期、2402は応答高速期間、2403はセトリング期間、2404はブランキング期間、2405はゲート選択期間であり、書き込み期間と一致する。2406はゲート線駆動波形、2407はドレイン線駆動波形、2408はソース波形であり、ソース電圧波形2408とコモンレベル2409との差電圧が液晶に印可される。その印可電圧に応じた透過率へ推移する波形が2410であり、この場合、ノーマリブラックモードを想定している。液晶高速応答期間2402は、常に黒レベルからの応答となるため、セトリング期間2403に印加される液晶電圧より高いレベルとなるようにフィルタ係数を設定してある。そのため、液晶応答波形2410の立ち上がりは高速化され、最速4.2msまで改善できる。逆に黒のブランキングレベルへの応答は、それ以下の電圧を印加できないことから、TNモードの液晶のように、黒レベルへの応答が速いが、白レベルの応答は遅いような液晶を用いるとさらに有効である。また、ドレイン線駆動波形2407は、書き込み期間2405の短縮から、書き込み率向上を図るためと、極性反転周期を完結させることとの観点から、1/4フレーム毎に反転させている。

【0069】ただし、本方法は第1の実施の形態と同様垂直解像度が低下するため、静止画の場合には、1ライン毎走査、動画と判断できる場合には、本方法での走査に切り替える手段を設けた。図1のシステムブロックに

において、複数回走査データ生成回路102は、映像の動きベクトルをパターンマッチング法や勾配法等に基づいて算出し、ある一定以上の動き量を検出した場合、動画映像と判定し、2ライン同時書き込み、飛び越し走査用に映像データを生成して複数回走査タイミング生成回路103へ送出する。

【0070】その際、第1の実施の形態と同様に制御情報を付加して、複数回走査タイミング制御回路103が図23のようなゲートパルスを生成するよう制御する。制御情報は、例えば第1の実施の形態で説明した図17に加え、図25のようなパラメータを用意する。それを受け取った複数回走査タイミング生成回路103は、高速転送かつ2ライン同時書き込みで表示アレイを駆動するタイミングを生成し、図24のように立ち上がりが高速化されたインパルス駆動で動画をより鮮明に表示する。

【0071】また、複数回走査データ生成回路102が、映像に動きがないと判断した場合には、1ライン毎の走査を行う映像データを生成し、図21に示した1ライン毎走査のためのゲートパルスを生成するよう制御情報を付加する。その映像を受け取った複数回走査タイミング生成回路103では高速転送かつ静止画モードで表示アレイを駆動するタイミング図21を生成し、映像の垂直解像度をそのまま再現したインパルス表示を行う。

【0072】なお、動画と判定した場合でも、ユーザーが垂直解像度を常に優先したい場合には、2ライン同時書き込み、飛び越し走査に切り替える必要は必ずしもなく、図1の制御バス109でその選択が可能である。

【0073】これに加え、第2の実施の形態のようなバックライト制御と組み合わせるとバックライトの点滅によるブランキング効果で動画表示をさらに鮮明としつつ、発光効率を向上させることができるため、高性能な液晶表示装置を構成できる。

【0074】以下、本発明の第4の実施の形態を説明する。

【0075】図26は走査開始位置と終了位置が選択可能なゲートドライバICを搭載した液晶表示アレイで、2601はそのドライバICから成るゲート線駆動回路、2602はドレイ線駆動回路、2603は表示アレイ、2604はバックライト、2605はバックライト駆動回路である。

【0076】本実施の形態でも表示アレイは図2に示した構造で、ノーマリブラックモードで動作するものとして話を進める。

【0077】ゲート線駆動回路2601は、走査開始位置と終了位置が設定可能であるため、表示アレイの最初から最終ラインまで書き込む通常走査はもちろん、表示アレイの途中から書き込みを開始し、途中で書き込みを終えるパースシャル表示も可能となる。

【0078】この用途としては、例えば、図14に示したように表示アレイと異なるアスペクト比を有するフォーマットの映像を表示する場合が挙げられる。この場合、

図12(b)のようにブランキングデータで表示に使わない走査領域をバディングする必要があるため、従来のゲート線駆動回路ではダミーの映像、つまりブランキングデータを書き込んでいた。本ゲート駆動回路を用いれば、ブランキング表示は映像書き込み期間とは別に行えるため、第1の実施の形態及び3で述べた複数ライン同時書き込み、飛び越し走査や、高速データ転送による複数回走査が帯域に余裕をもって行える。

【0079】図27を用いてその原理を詳細に説明する。図27は表示アレイのゲート選択パルスのタイミングチャートであり、2701はフレーム周期、2702は帰線期間、2703は表示期間で、2704は表示期間内の映像書き込み期間、2705はインパルス化のためのブランキングデータ書き込み期間である。図27はn本のゲート線うち、G1からGi-1までと、Gi+k+1からGnまでをブランキングでバディングする無効領域とし、GiからGi+kまでのkラインを有効表示領域と設定した例である。ブランキングデータの書き込みは、同じ黒データでよいから、G1からGi-1、Gi+k+1からGnを帰線期間2702に同時に選択し、ブランキングデータを書き込み、その後、表示期間2703で映像とインパルス化のブランキングデータを書き込んでいく。

【0080】図14を参照して、例を挙げると、XGA表示アレイに1080iの映像を表示する際、無効表示ラインは192本、有効表示ラインは576本である。有効表示期間は576ラインの書き込みに使うことができるため、XGAの走査帯域でインパルス表示する場合、2ライン同時書き込み回数が192回と1ライン書き込み数が192回で実現できる。したがって、2ライン書き込みと1ライン書き込みを交互に行うことで540ラインからなる原映像の384ラインを再現したインパルス駆動が行える。あるいは1ライン毎に書き込みを行って、インパルス化することも可能である。そのためには、1フレーム期間に576×2=1052ラインの走査帯域が必要となるが、これはSXGA相当の帯域であるため、既存のドレインドライバICのデータ転送帯域でカバーできる。これと複数ライン同時書き込み、飛び越し走査と組み合わせると、第3の実施の形態のように1フレーム期間に4画面走査すれば、動きの多い動画表示時にフィルタ処理で応答を高速化することも可能である。

【0081】また第2の実施の形態のように、無効表示領域のランプを消灯したり、バックライトの点灯制御を行うことで、動画をさらに高画質化し、発光効率を向上させ低消費電力化を図ることができる。

【0082】それらの切り替えに関して述べると、第1の実施の形態から3と同様、図1のシステム構成図中、複数回走査データ生成回路102が、制御バス109より外部からの表示モードの切り替え指示を受け取り、まず映像をその表示方法に適した映像に変換する。そして、本実施の形態の表示方法に関する図28に示すパラメータや第1の実施の形態の図17、第2の実施の形態の図20のパラメ

ータを前記加工映像に付加して複数回走査タイミング制御回路103に転送する。制御情報付き映像データを受け取った複数回走査タイミング生成回路103は、その情報に基づきゲート駆動回路104及びドレイン駆動回路105さらにバックライト駆動回路108を制御するタイミングを生成する。その結果、映像コンテンツに応じて、インパルス駆動、ホールド駆動を切り替えながら画質を向上させることができる。

【0083】以下、本発明の第5の実施の形態を説明する。

【0084】1ライン毎の走査で、1フレーム期間に映像書き込みとブランキング書き込みを行い、インパルス型の発光特性を得るには、従来の2倍の走査帯域が必要になる。例えば、XGAの表示アレイを対象とすると、1フレームのインパルス映像を生成するには、1/2フレーム期間で768、つまり1フレーム期間では1536ライン走査する帯域が必要となり、実にUXGA以上のデータ転送帯域に相当する。

【0085】第3の実施の形態にて現在入手可能なドレインドライバICはかろうじてその帯域で転送可能であると述べたが、動作マージンが極めて小さい。そこで、現行ドレインドライバICのデータバス幅で、転送クロックを上げずに2倍のデータ転送が実現できれば、上記駆動が可能となる。図29、30、31はそれを可能とするドレインドライバICの構成を示した図で、ロジック部分のみを示してある。

【0086】図29は水平画素データの転送量を半減させて、インパルス駆動を実現する例で、表示アレイのドレインドライバIC内部で残り半分のデータを補完して作り出すことが特徴となっている。図29は2画素の転送バス幅を有する現行のドライバインターフェースをそのまま維持した構成で、2901は偶数画素データバス、2902は奇数画素データバス、2903はデータバス幅と等しいデータラッチ回路、2904はマスクロジック、2905はマスク信号線である。データラッチ回路2903は表示アレイの水平画素数とRGBの3原色分必要となるため、例えばXGAの表示アレイの場合で、各ドレインドライバIC内に384個備えたものを8個用いて、 $1024 \times 3 = 3072$ 個用意してある。2906は同期遅延素子、例えばデータラッチ回路で、2907は演算回路、2908は演算後のデータバスである。

【0087】図32は、図29のドレインドライバICが要求する映像で、図1の複数回走査データ生成回路102が原映像3201を左半分を圧縮した映像3202を生成し、複数回走査タイミング制御回路103により、偶数及び奇数画素データバスへ転送される。転送されるデータはドレインドライバIC内部で1ラッチ回路置きに偶数画素データバス2901と奇数画素データバス2902のいずれかに接続されるラッチ回路それぞれへ転送され、前記一連のラッチ回路群のアドレスを選択するアドレス回路（図示せず）により、順次データが格納され、データに応じた階調電圧を

出力し、ドレイン線を駆動する。それによって1フレーム期間に映像とブランキング表示を行った映像3203を表示アレイ上に映し出し、インパルス駆動を可能とする。本実施の形態では水平ライン2倍のスケールを想定しているが、 $\times$ 倍スケール選択可能なようにバス配線を切り替え可能なように構成してもよい。偶数画素データバス2901と奇数画素データバス2902のいずれにも接続されていないラッチ回路は演算回路2903の出力データバスに接続されており、演算結果後のデータが格納されるように構成されている。演算器2907に転送されるデータ群は、偶数・奇数データバスそれぞれに転送された画素データを遅延素子2906により遅延し、この遅延素子内部に保持された数画素分のデータであり、演算回路2907と遅延素子群から形成されるFIRフィルタで処理され、補完データとなる。このように、ドレインドライバIC内部でスケールリングすることで表示アレイの半分の水平画素データで水平ラインを生成可能となるため、1フレーム期間の半分で映像を表示することが可能となる。さらに、マスクロジック2904はデータラッチ回路と同じ個数用意され、それぞれデータラッチ回路内のデータを黒のブランキングデータでマスク可能である。マスク信号線2904は、1フレーム期間の半分で映像を書き込んだ後、イネーブルすることで、黒データを転送しなくても、残り半分のブランキング期間に黒データを常に書き込むことができ、この間のデータ転送を省略できる。

【0088】あるいは、図30のように、ドレインドライバIC内にフレームバッファ3001を装備すれば、前記マスク期間にバックグラウンドでデータをフレームバッファに転送できるため、ドレインドライバIC外部でスケールリングしたデータをそのまま転送する方法であっても、映像をインパルス表示することができる。両者を組み合わせると、ドレインドライバIC内部で部分スケールリングや、パーシャル表示等、多機能化を図ることもできる。

【0089】図31は、従来のドレインドライバIC1画素分のバス幅を2分割して使用可能なモードを付加した例で、例えば1画素のRGB各データ8ビットバスを4ビットずつに2つに分割し、4ビット2画素分とすると、2倍の画素データを転送することになる。1画素RGB各4ビットあれば、2の12乗で4096色再現可能である。もちろんRGB均等に割り振る必要は必ずしもなく、また論理バレットを用いてデータを変換してもよい。本実施の形態では均等に分割する場合について述べる。

【0090】本実施の形態の特徴は、3101のバス分割マルチプレクサを装備した点である。バス分割マルチプレクサ3101は、通常の8ビットバスモードでは、偶数・奇数画素ラッチ回路と偶数・奇数画素データバスをそれぞれ接続するが、本実施の形態で述べるハーフバスモードでは、偶数画素データバスを2分割して、隣り合う偶数・奇数画素ラッチに接続し、奇数画素データバスを次の隣り合う偶数・奇数画素ラッチに接続する。この場合、

バス分割マルチプレクサ3101のバスを切り替えるバススイッチ（図示せず）と、それと同期してラッチ回路のアドレスを選択するアドレス選択回路（図示せず）とが該当するラッチ回路を選択する必要がある。

【0091】このような構成を採ると、通常の転送レートで2倍の画素データを転送することになるため、1/2フレーム期間内に映像を書き込むことができ、残り1/2フレーム期間のブランキング期間ではマスクロジック2904でデータをマスクして黒データを書き込めるため、従来のドライバデータ転送レートでインパルス駆動を実現できる。

【0092】図33は、ワイドな表示アレイにアスペクト比の異なる映像を表示するため、図13(b)の表示用に、左右のブランキング領域を設定可能な表示アレイの構成を示す。3301はゲート線駆動回路、3302はドレイン線駆動回路、3303はワイドな表示アレイ、3304はバックライト、3305はバックライト駆動回路である。無効表示領域用のブランキングデータは黒データで一定であるため、ドレイン線駆動回路に例えば図29、30、31のようなドレインドライバICを用いると、マスクロジック2904でマスクすればよく、ブランキングデータを転送する必要がない。ただし、図29、30、31の構成の場合、マスク信号線2905は複数本必要となる。このような表示を行う場合には、転送の必要ない帯域をインパルス駆動のために割り当てることができる。

【0093】例えば、WXGAの表示アレイにXGAの映像を図13(b)の表示で表示する場合、1280-1024=256画素分のデータ転送が不要となるため、図33の有効表示領域を、図29、30、31に示したドレインドライバICの帯域確保機能を用いてインパルス駆動を効率よく行うことができる。これらの設定変更は第1の実施の形態で述べたように、図16のようにヘッダに制御情報を付加した映像データとすることで容易に実現できる。

【0094】本実施の形態では、図29から31のドレインドライバIC用の制御情報として図34のようなパラメータを用意した。また、これらと第4の実施の形態のゲートドライバを搭載した表示装置を用いれば、1フレーム期間に4画面走査を行うことができるため、液晶を高速化するフィルタ処理などでさらに動画を高画質化でき、多機能な表示装置を構成できる。第1の実施の形態や2と組み合わせるとさらに効果が大きいことは言うまでもない。

【0095】さらにp-Siを用いたTFTアレイを有する表示装置であれば、表示媒体が液晶であっても、有機、無機発光ダイオードであっても、ドライバICをガラス基板上に構成できるため、狭額縁でかつ精細度が高く、上記機能を搭載した動画高画質で高機能な表示装置を実現することが可能であり、疑似ホールド型の発光ダイオード表示素子の場合、バックライトが必要なく、黒レベルが非常に低い場合、ブランキング効果も高いことから、さ

らに鮮明な動画表示を可能とする超薄型ディスプレイを構成できる。

【0096】以下、本発明の第6の実施の形態を説明する。

【0097】図35は、書き込む2ラインそれぞれのタイミングをずらし、2ライン飛び越し走査で、1フレームの半分の期間で映像を書き込み、残り半分で黒のブランキングデータを書き込む際のゲート選択パルスのタイミングを示す図である。

【0098】3501が1フレーム期間、3502が映像書き込み期間、3503がブランキング期間で、3504が1ラインの選択期間、3505が前記2ラインに書き込む際のゲート選択タイミングディレイである。

【0099】図36は書き込む2ラインに含まれるある画素に着目した駆動波形で、3606が現ラインのゲート波形、3607がドレイン波形、3608が現ラインのソース波形、3609がコモン波形である。

【0100】3610は次ラインのゲート波形であり、3611は次ラインのソース波形で、3601、3602、3603、3604はそれぞれフレーム周期、映像書き込み期間、ブランキング期間、ライン選択期間であり、3605はゲート選択パルスディレイである。

【0101】ドレイン波形3607はラインで異なるレベルを示しているため、現ラインゲート波形3606に期間3605だけ遅れた次ラインゲート選択パルス波形3610は次のデータ書き込み期間を含むことになる。これは何を意味するかというと、次ラインは現データと次データ両方が書き込まれるため、現ラインとは異なる映像となる。つまり、次ラインは、現データと次データの中間階調を示すような補完ラインとなるため、2ライン同時に同じデータを書き込む場合と比較し、画質の劣化具合が低減される。

【0102】3612、3613は各ラインの光学応答波形を示しており、3612が現ライン、3613が次ラインのそれである。書き込まれる電圧の違いから、両者は異なる輝度を発している。なお、本実施例ではノーマリブラックモードの表示アレイを用い、書き込み極性はフレーム内で全ラインの極性が一致するフレーム反転駆動を前提としている。

【0103】このように、書き込むゲートのタイミングを互いにずらし、現ラインデータと次ラインデータの双方を書き込みませることで、データにはない階調をアナログ的に生成できるため、垂直解像度低下による画質劣化感を低減する効果がある。

【0104】

【発明の効果】本発明によれば、1フレーム期間分の画像データにブランキングデータを挿入することにより、1フレーム期間内に画像データとブランキングデータとを表示するために、動画ばやけ等に起因する画質劣化を抑制するという効果を奏する。さらに、本発明によれ



ば、任意の表示素子に 1 フレーム期間内に画像データとブランキングデータとが表示されるようにラインを選択することにより、ドレインドライバ数の増大を抑制するため、構造の大型化・複雑化を抑制するという効果を奏する。

【図面の簡単な説明】

【図 1】本発明の第 1 の実施の形態の表示装置の構成図。

【図 2】本発明の第 1 の実施の形態の表示アレイの構成図。

【図 3】本発明の第 1 の実施の形態における 2 ライン同時書き込み、2 ライン飛び越し走査時のゲート選択パルスタイミングチャート。

【図 4】本発明の第 1 の実施の形態における 2 ライン同時書き込み、2 ライン飛び越し走査時の各信号線駆動波形と表示素子の光学応答波形。

【図 5】本発明の第 1 の実施の形態の階調電圧生成回路の構成図。

【図 6】本発明の第 1 の実施の形態における 4 ライン同時書き込み、4 ライン飛び越し走査時のゲート選択パルスタイミングチャート。

【図 7】本発明の第 1 の実施の形態における 4 ライン同時書き込み、4 ライン飛び越し走査時の各信号線駆動波形と表示素子の光学応答波形。

【図 8】本発明の第 1 の実施の形態における 2 ライン同時書き込み、2 ライン飛び越し走査時の映像データ生成過程の概念図。

【図 9】本発明の第 1 の実施の形態における 4 ライン同時書き込み、4 ライン飛び越し走査時の映像データ生成過程の概念図。

【図 10】表示アレイの解像度とアスペクト比の関係図。

【図 11】デジタル放送の映像フォーマットの関係図

【図 12】ワイドでない表示アレイにワイドな映像を表示した場合の模式図。

【図 13】ワイドな表示アレイにワイドでない映像を表示した場合の模式図。

【図 14】表示アレイとデジタル放送映像フォーマットの組み合わせ。

【図 15】本発明の第 1 の実施の形態における無効領域走査を簡略化するゲート選択パルスタイミングチャート。

【図 16】本発明の第 1 の実施の形態における制御情報付き映像フォーマットの模式図。

【図 17】本発明の第 1 の第 1 の実施の形態における制御パラメータとその値の具体例。

【図 18】本発明の第 2 の実施の形態における 2 ライン同時書き込み、2 ライン飛び越し走査時のゲート選択パルスとバックライト点滅タイミングチャート。

【図 19】無効表示領域と点灯ランプの対応図。

【図 20】本発明の第 2 の実施の形態における制御パラメータとその値の具体例。

【図 21】本発明の第 3 の実施の形態における 1 ライン毎走査時のゲート選択パルスタイミングチャート。

【図 22】本発明の第 3 の実施の形態における 1 ライン毎走査時の各信号線駆動波形と液晶の光学応答波形。

【図 23】本発明の第 3 の実施の形態における 2 ライン同時書き込み、2 ライン飛び越し走査時のゲート選択パルスタイミングチャート。

【図 24】本発明の第 3 の実施の形態における 2 ライン同時書き込み、2 ライン飛び越し走査時の各信号線駆動波形と液晶光学応答波形。

【図 25】本発明の第 3 の実施の形態における制御パラメータとその値の具体例。

【図 26】本発明の第 4 の実施の形態における表示装置の構成図。

【図 27】本発明の第 4 の実施の形態におけるゲート選択パルスタイミングチャート。

【図 28】本発明の第 4 の実施の形態における制御パラメータとその値の具体例。

【図 29】本発明の第 5 の実施の形態におけるドレインドライバ IC 構成図。

【図 30】本発明の第 5 の実施の形態におけるドレインドライバ IC 構成図。

【図 31】本発明の第 5 の実施の形態におけるドレインドライバ IC 構成図。

【図 32】本発明の第 5 の実施の形態において、高速データ転送時の映像データ生成過程の概念図。

【図 33】本発明の第 5 の実施の形態における表示装置の構成図。

【図 34】本発明の第 5 の実施の形態における制御パラメータとその値の具体例。

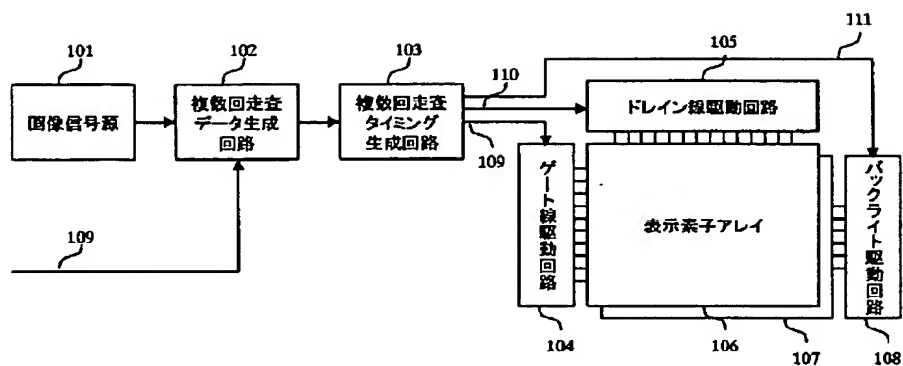
【図 35】本発明の第 6 の実施の形態におけるゲートパルスタイミングチャート。

【図 36】本発明の第 6 の実施の形態における連続ラインに含まれる画素の各駆動波形と光学応答波形。



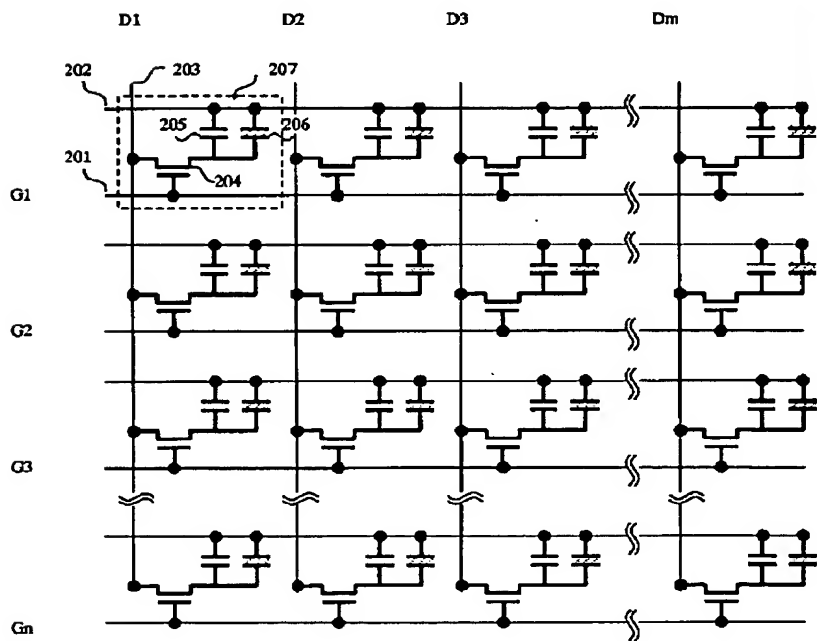
【図1】

図1



【図2】

図2



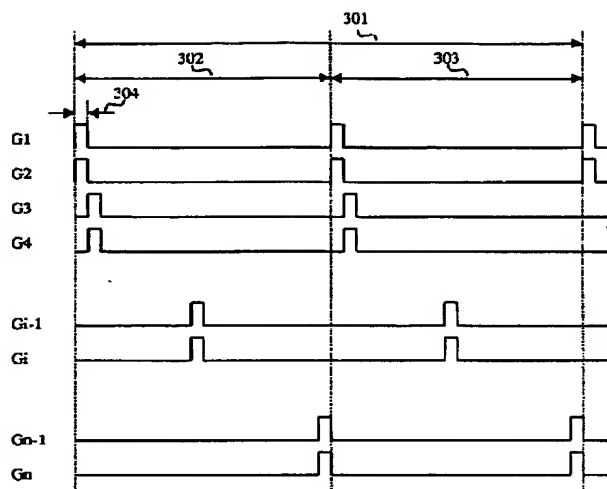
【図16】

図16



【図3】

図3



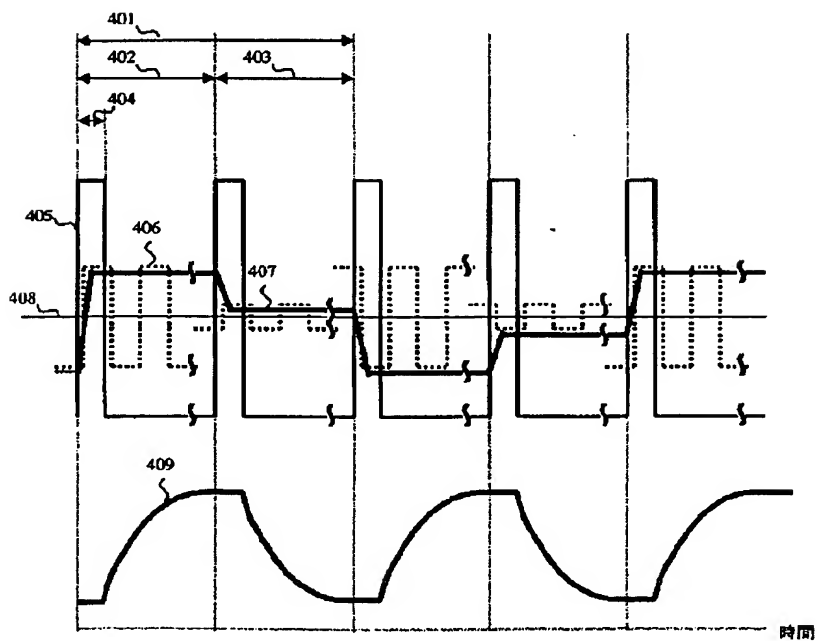
【図17】

図17

制御パラメータ	値
同時書き込みライン数	1,2,3,4...
飛び越しライン数	1,2,3,4...
インパルス化ブランキング	1/2,1/3,2/3,1/4...
液晶高速化フィルタ係数	1.0,1.5,2.0..
階調基準電圧群	Vh[9:0],Vi[9:0]
アスペクト比ワイド化	Enable, Disable
フォーカス	Enable, Disable
フォーカス位置	(0,0)-(640,480)

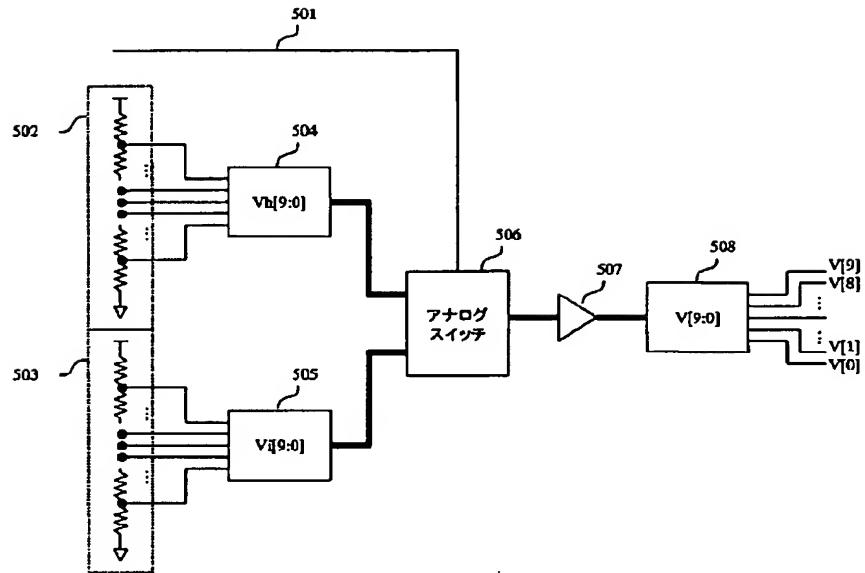
【図4】

図4



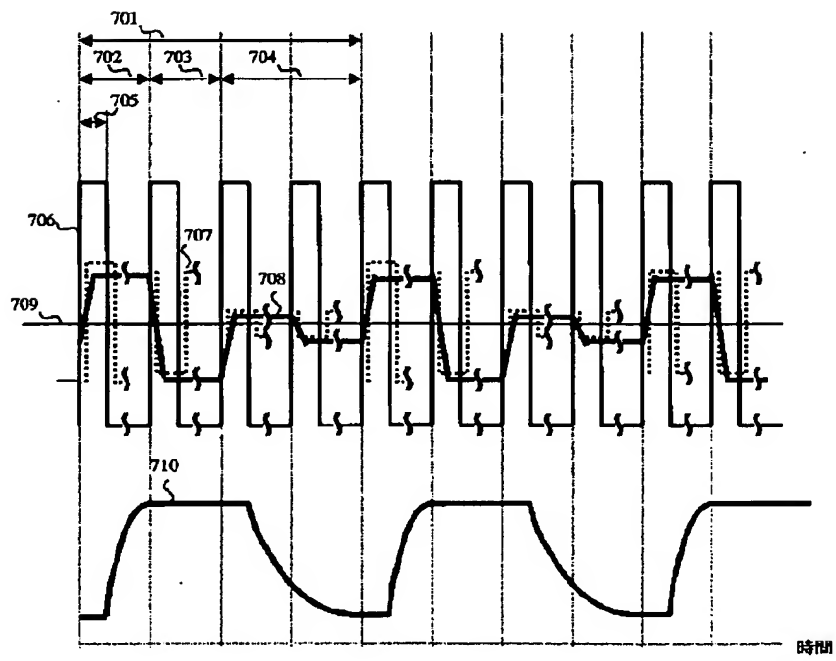
【図5】

図5



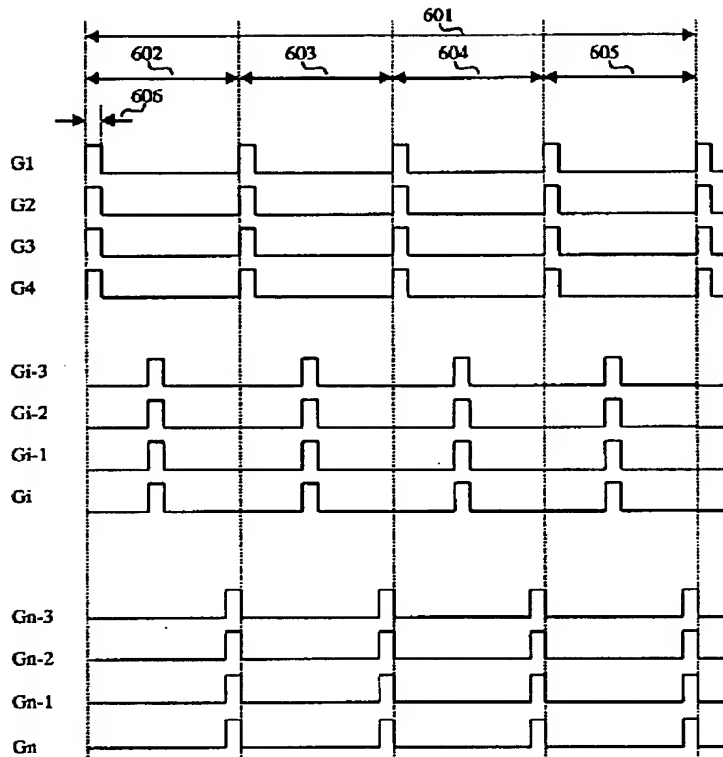
【図7】

図7



【図6】

図6



【図28】

図28

制御パラメータ	値
上部無効領域	0~96...
下部無効領域	672~768...

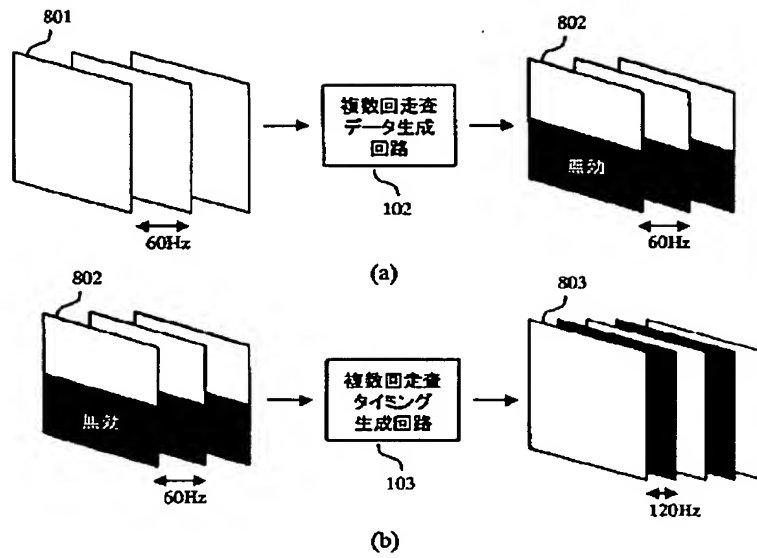
【図10】

図10

名称	水平	垂直	アスペクト比
VGA	640	480	4:3
XGA	1024	768	4:3
SXGA	1280	1024	5:4
UXGA	1600	1200	4:3
WVGA	800	480	5:3
WXGA	1280	768	5:3
WUXGA	1920	1200	8:5

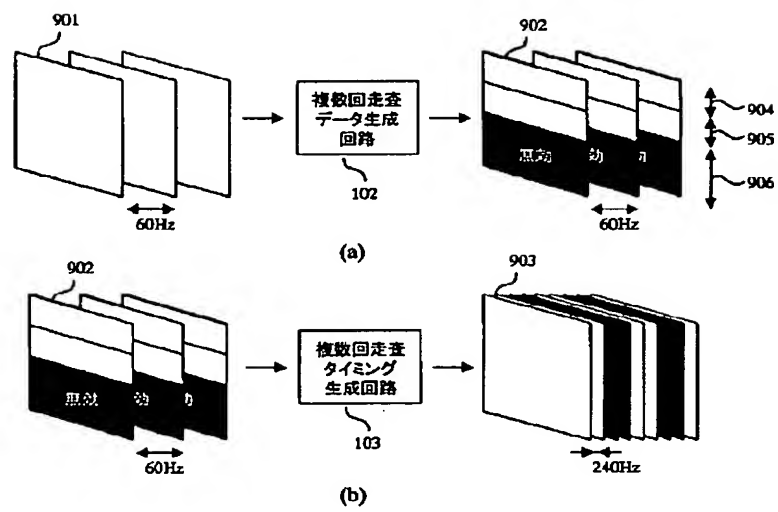
【図8】

図8



【図9】

図9



【図11】

図11

有効走査線数	アスペクト比
480i	16:9 or 4:3
480p	16:9
1080i	16:9
720p	16:9
1080p	16:9

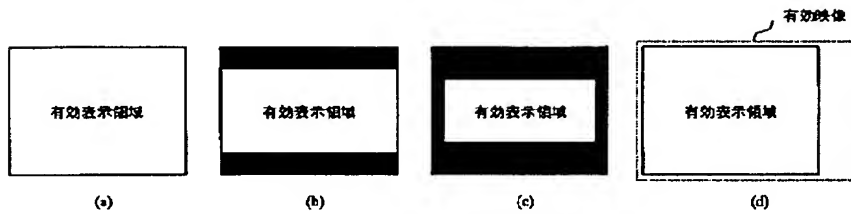
【図25】

図25

制御パラメータ	値
転送クロック	Low, High...
高速化フィルタイネーブル	On, Off...
判定閾値	低, 中, 高...
書き込み極性	ライン毎, フレーム毎

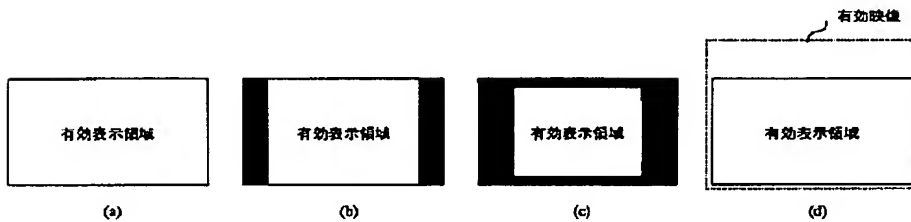
【図12】

図12



【図13】

図13



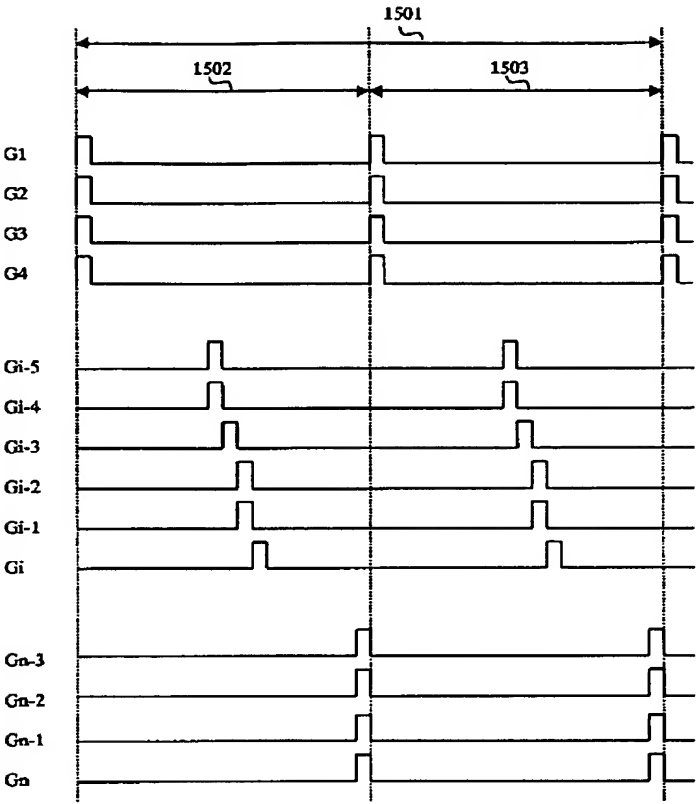
【図14】

図14

表示アレイ	(A) 表示アレイ垂直走査線数				(B) 映像信号垂直走査線数					-損失走査線数 +補足走査線数
	4:3		16:9		映像信号垂直走査線数					
	有効	フランク	有効	フランク	4:3	15:9				
VGA	480	0	360	120	480i	480p	1080i	720p	1080p	
XGA	1080	0	800	300	+240	-120	-180	-360	-720	
SXGA	960	84	720	304	+720	+240	+180	0	-360	
UXGA	1200	0	900	300	+960	+420	+360	+180	-180	
WVGA	480	0	450	30	+240	-30	-90	-270	-630	
WXGA	1280	0	800	300	+720	+240	+180	0	-360	
WUXGA	1200	0	1080	120	+960	+600	+540	+360	0	

【図15】

図15



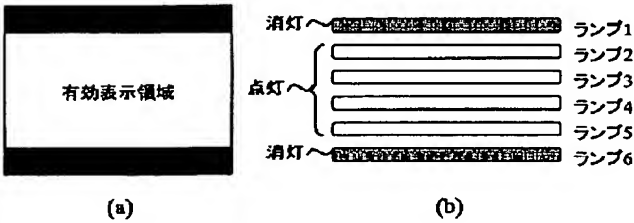
【図34】

図34

制御パラメータ	値
左部無効領域	0~128...
右部無効領域	1156~1280...
ドライバスケール	Enable,Disable...
ドライバフレームバッファ	Enable,Disable...
ドライバ転送バスモード	フル,ハーフ...

【図19】

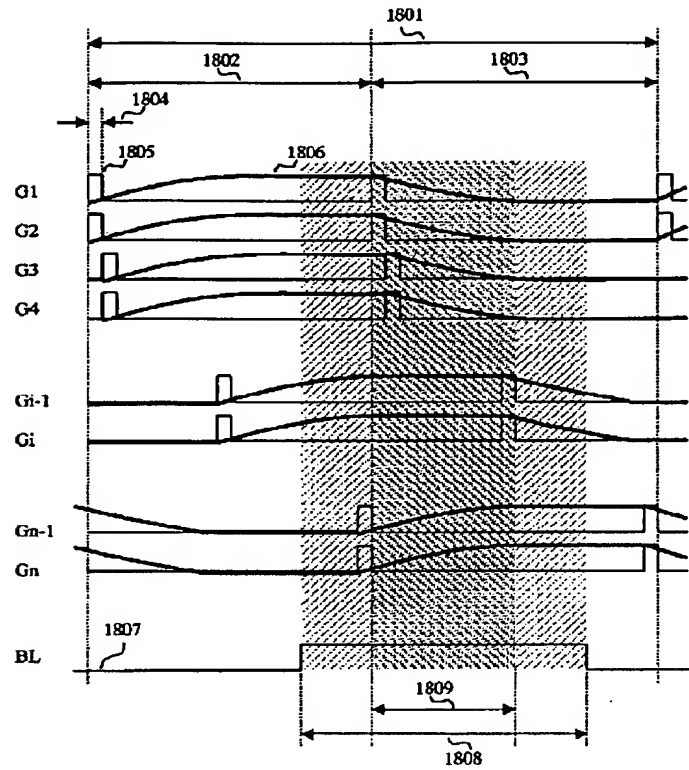
図19





【図18】

図18



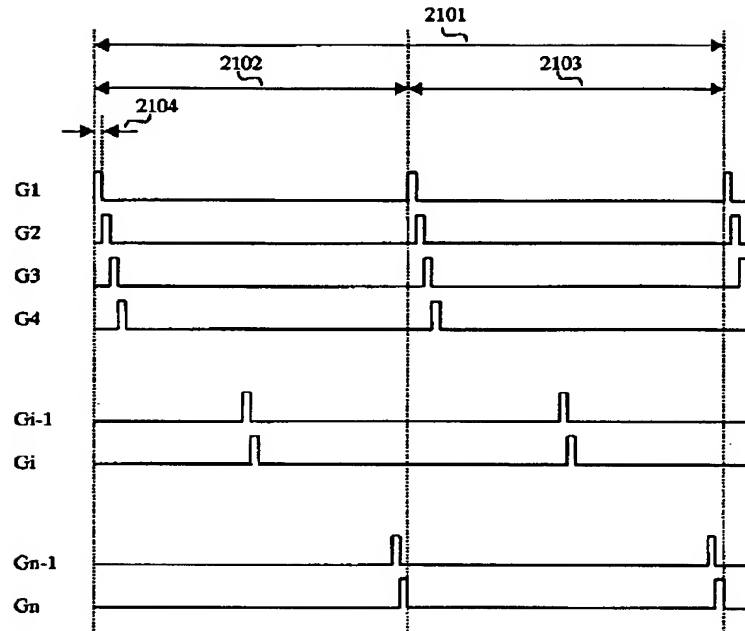
【図20】

図20

制御パラメータ	値
管電流	x1,x2,x3,x4...
点灯デューティ	1/2,1/3,2/3...
点灯位相	$\pi/2, \pi/3, \dots$
消灯ランプ	No1,2,3,4...

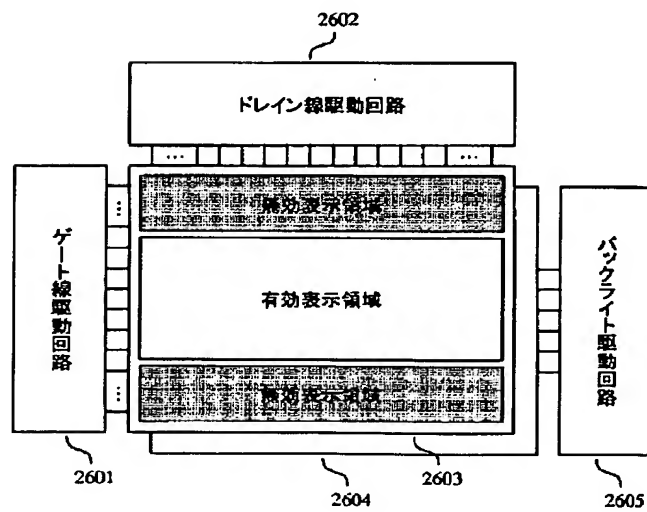
【図21】

図21



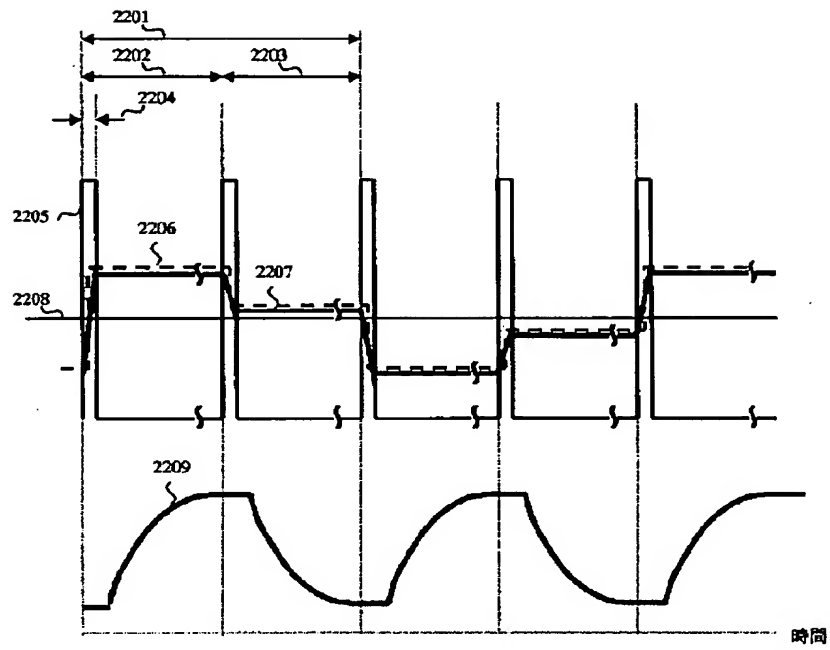
【図26】

図26



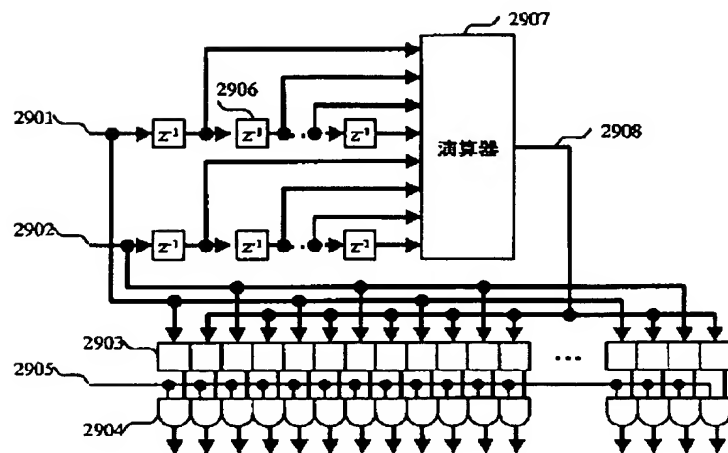
【図22】

図22



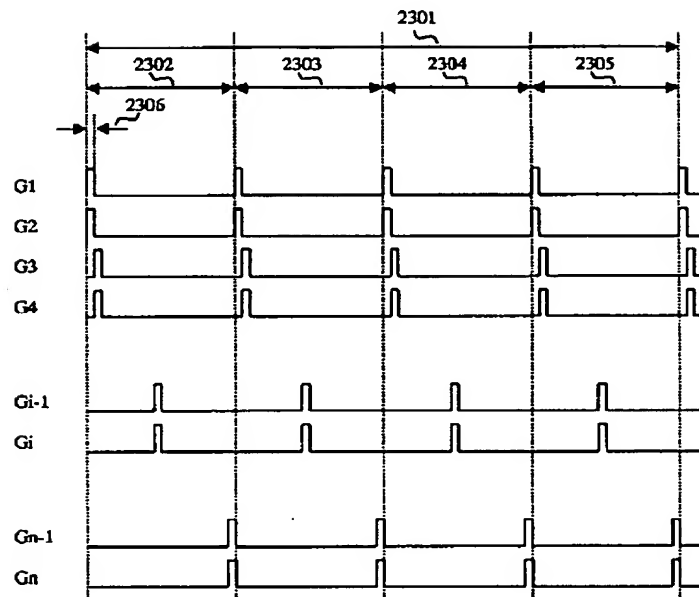
【図29】

図29



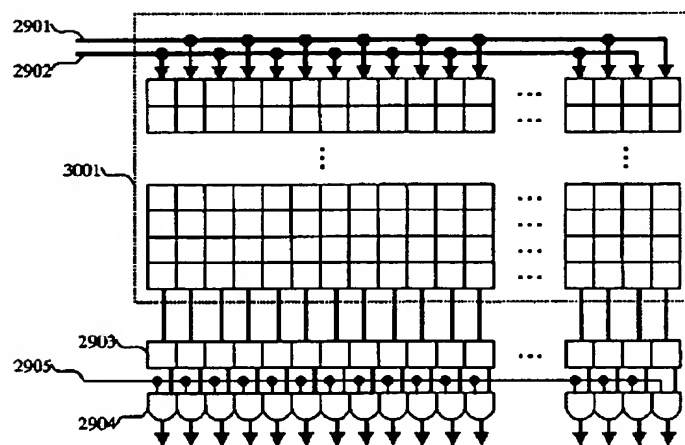
【図 23】

図23



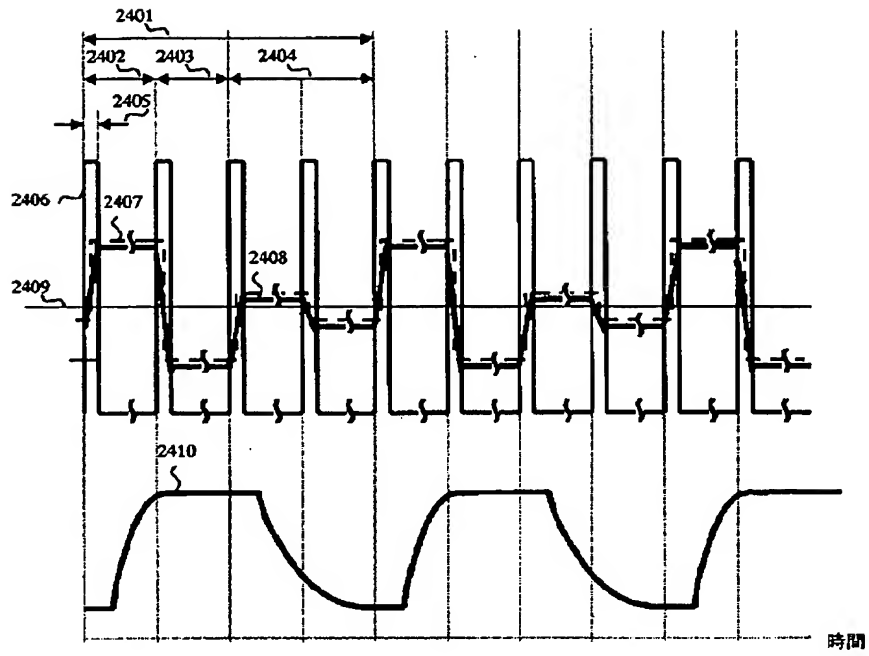
【図 30】

図30



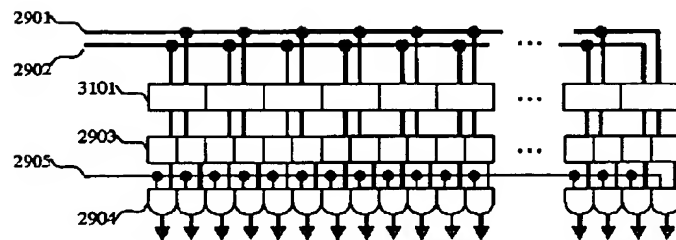
【図24】

図24



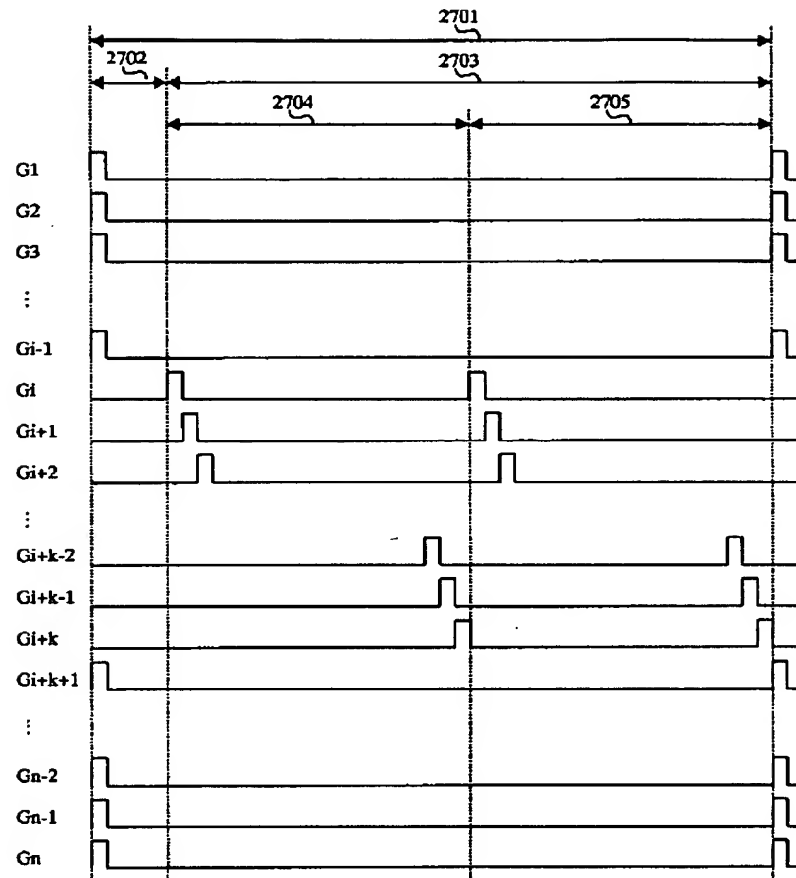
【図31】

図31



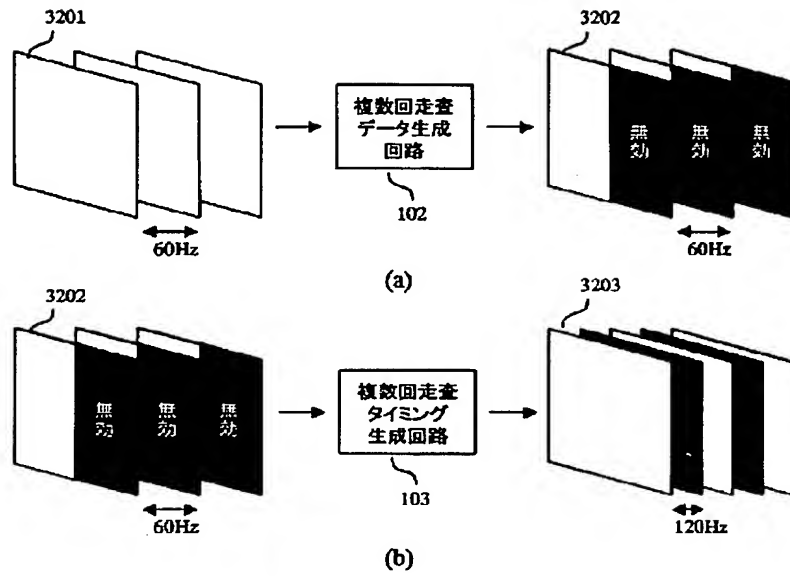
【図27】

図27



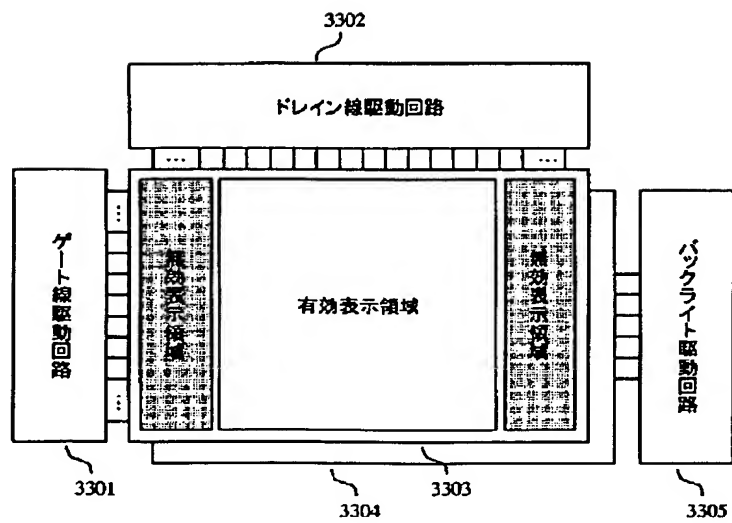
【図32】

図32



【図33】

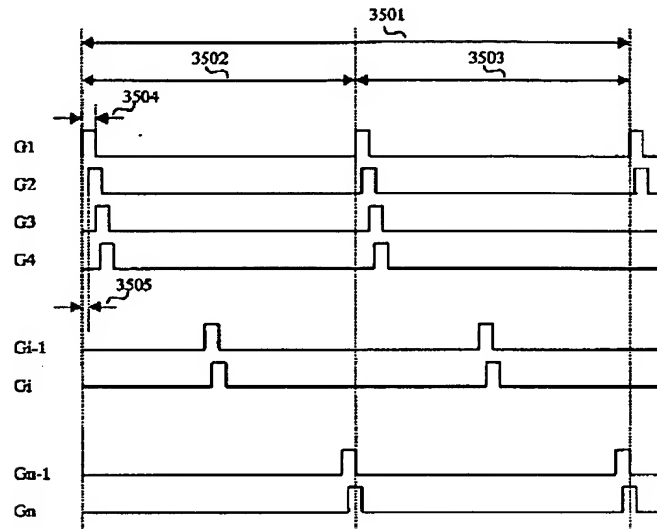
図33





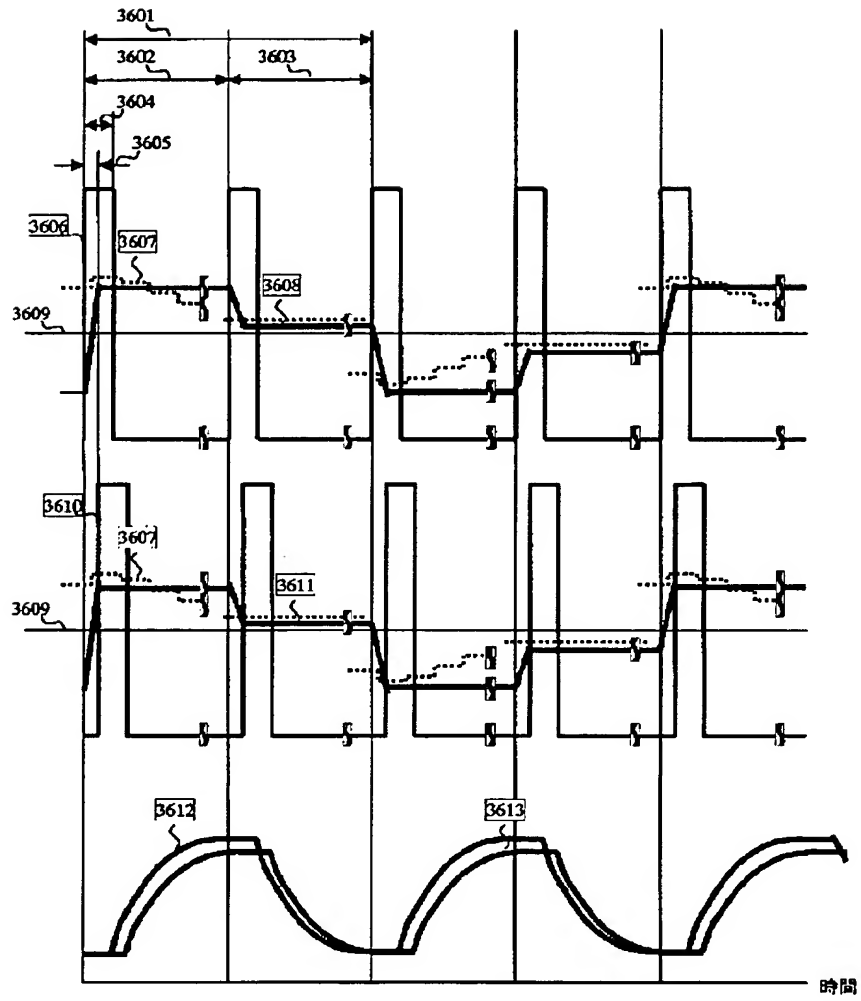
【図35】

図35



【図36】

図36



フロントページの続き

(51)Int.Cl.<sup>7</sup>  
G 0 9 G 3/20  
3/34

識別記号

F I  
G 0 9 G 3/20  
3/34

ターマコード (参考)  
6 6 0 Q  
6 6 0 V  
J

F ターム(参考) 2H093 NA16 NA22 NA31 NA43 NA51  
NC03 NC16 NC29 NC34 ND01  
ND23 ND42  
5C006 AB01 AB05 AC23 AF59 BB16  
BC03 BC16 EA01 FA05 FA51  
5C080 AA10 BB05 DD30 EE19 EE21  
EE26 FF11 JJ01 JJ02 JJ04